

Docket No.: 49657-801

**PATENT**



**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

#3 / Priority  
paper  
11-21-00  
R. Stokes

In re Application of :  
Tomohide TERASHIMA :  
Serial No.: : Group Art Unit:  
Filed: September 13, 2000 : Examiner:  
For: SEMICONDUCTOR DEVICE :

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Assistant Commissioner for Patents  
Washington, DC 20231

Sir:


In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2000-112174,  
filed April 13, 2000

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

  
Stephen A. Becker  
Registration No. 26,527

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 SAB:klm  
**Date: September 13, 2000**  
Facsimile: (202) 756-8087

日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT

49657-801  
SEPTEMBER 13, 2000  
TERASHIMA et al.

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

10:07 U.S. PTO  
09/661035  
09/13/00

出 願 年 月 日

Date of Application:

2000年 4月13日

出 願 番 号

Application Number:

特願2000-112174

出 願 人

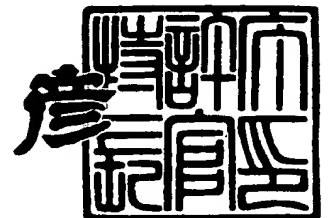
Applicant (s):

三菱電機株式会社

2000年 5月12日

特許庁長官  
Commissioner,  
Patent Office

近 藤 隆 彦



出証番号 出証特2000-3032890

【書類名】 特許願

【整理番号】 521991JP01

【提出日】 平成12年 4月13日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/70  
H01L 29/78  
H01L 21/336

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

【氏名】 寺島 知秀

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100091409

【弁理士】

【氏名又は名称】 伊藤 英彦

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100096792

【弁理士】

【氏名又は名称】 森下 八郎

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 第 1 導電型の半導体基板と、  
前記半導体基板上に直接接して形成された第 2 導電型の第 1 領域と、  
前記第 1 領域の表面およびその近傍に形成された第 2 導電型の第 2 領域と、  
前記第 2 領域を周囲から取囲むように、前記第 1 領域の表面およびその近傍に  
形成された第 1 導電型の第 3 領域と、  
前記第 1 領域と前記第 2 領域との間に位置する前記第 3 領域の表面上に絶縁膜  
を介在させて形成された第 1 電極部と、  
前記第 2 領域に接続された第 2 電極部と、  
前記第 3 領域と距離を隔てて前記第 1 領域に接続された第 3 電極部と、  
前記第 3 電極部と前記第 3 領域との間の前記第 1 表面およびその近傍に形成さ  
れた第 1 導電型の第 4 領域と  
を備え、  
前記第 4 領域は、電流が流れる方向と交差する方向に沿ってその深さが変化す  
るように形成されている、半導体装置。

【請求項 2】 前記第 3 電極部を周囲から取囲むように前記第 1 領域の表面  
およびその近傍に形成された第 1 導電型の第 5 領域を備えた、請求項 1 記載の半  
導体装置。

【請求項 3】 第 1 導電型の半導体基板と、  
前記半導体基板上に直接接して形成された第 2 導電型の第 1 領域と、  
前記第 1 領域の表面およびその近傍に形成された第 2 導電型の第 2 領域と、  
前記第 2 領域を周囲から取囲むように、前記第 1 領域の表面およびその近傍に  
形成された第 1 導電型の第 3 領域と、  
前記第 3 領域に接続される第 1 電極部と、  
前記第 2 領域に接続された第 2 電極部と、  
前記第 3 領域と距離を隔てて前記第 1 領域に接続された第 3 電極部と、  
前記第 3 電極部と前記第 3 領域との間の前記第 1 領域の表面およびその近傍に

形成された第 1 導電型の第 4 領域と  
を備え、

前記第 4 領域は、電流が流れる方向と交差する方向に沿ってその深さが変化するよう形成されている、半導体装置。

【請求項 4】 前記第 4 領域が一定の電位に固定されている、請求項 1 ～ 3 のいずれかに記載の半導体装置。

【請求項 5】 前記第 4 領域は前記第 1 電極部または前記第 2 電極部と電気的に接続されている、請求項 4 記載の半導体装置。

【請求項 6】 前記第 4 領域は離散的に形成され、

各前記第 4 領域は、オン状態において隣合う前記第 4 領域からそれぞれ延びる空乏層が互いに繋がる距離を隔てて配置されている、請求項 1 ～ 5 のいずれかに記載の半導体装置。

【請求項 7】 前記第 1 領域の不純物濃度  $N_D$ 、前記第 4 領域の不純物濃度  $N_A$ 、隣接する前記第 4 領域間の距離を  $W$ 、必要耐圧を  $V$ 、電荷量を  $q$ 、真空の誘電率を  $\epsilon$ 、シリコンの比誘電率を  $\epsilon'$  とし、不純物濃度  $N_A$  は不純物濃度  $N_D$  よりも十分に大きく、実質的に無限大とすると、

$$V > q N_D W^2 / (8 \epsilon \epsilon')$$

$$W < 2 (2 V \epsilon \epsilon' / (q N_D))^{(1/2)}$$

を満たす、請求項 6 記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置に関し、特に、Double Diffused Metal Oxide Semiconductor (以下、「DMOS」と記す。) トランジスタ等を備えた半導体装置に関するものである。

【0002】

【従来の技術】

大電流をスイッチングするための半導体装置の一例として、DMOS トランジスタを備えた半導体装置について説明する。図 31 に示すように、p 型シリコン

基板 1 0 1 上に、N-型エピタキシャル層 1 0 2 が形成されている。そのN-型エピタキシャル層 1 0 2 の表面およびその近傍に、N+型拡散領域 1 0 6 a ~ 1 0 6 d が形成されている。そのN+型拡散領域 1 0 6 a、1 0 6 b を周囲から取囲むように、N-型エピタキシャル層 1 0 2 の表面およびその近傍にP型拡散領域 1 0 5 a が形成されている。また、同様に、N+型拡散領域 1 0 6 c、1 0 6 d を周囲から取囲むようにP型拡散領域 1 0 5 b が形成されている。

## 【 0 0 0 3 】

N+型拡散領域 1 0 6 a とN-型エピタキシャル層 1 0 2 との間に位置するP型拡散領域 1 0 5 a の表面上に絶縁膜を介在させてゲート電極部 1 0 8 a が形成されている。また、N+型拡散領域 1 0 6 c とN-型エピタキシャル層 1 0 2 との間に位置するP型拡散領域 1 0 5 b の表面上およびN+型拡散領域に 1 0 6 b とN-型エピタキシャル層 1 0 2 との間に位置するP型拡散領域 1 0 5 a の表面上に絶縁膜を介在させてゲート電極部 1 0 8 b が形成されている。

## 【 0 0 0 4 】

N+型拡散領域 1 0 6 a ~ 1 0 6 d と電氣的に接続されるソース電極部 1 0 9 が形成されている。また、N-型エピタキシャル層 1 0 2 の表面には、フィールド分離膜 1 1 4 が形成されている。そのフィールド分離膜 1 1 4 を挟んでゲート電極部 1 0 8 a と反対側には、ドレイン電極 1 1 0 が形成されている。

## 【 0 0 0 5 】

ドレイン電極 1 1 0 は、N-型エピタキシャル層 1 0 2 に形成されたN+型拡散層 1 0 4 に電氣的に接続されている。p型シリコン基板 1 0 1 とN-型エピタキシャル層 1 0 2 との間には、N+埋込み拡散領域 1 0 3 が形成されている。また、フィールド分離膜 1 1 4 の下には、p型拡散領域 1 0 7 が形成されている。

## 【 0 0 0 6 】

次に上述した半導体装置の動作について説明する。ゲート電極部 1 0 8 a、1 0 8 b に所定の電位を印加することで、P型拡散領域 1 0 5 a、1 0 5 b にチャネル領域が形成されて、ソース電極部 1 0 9 からN+拡散領域 1 0 6 a、1 0 6 b、1 0 6 c を経て矢印に示すようにドレイン電極部 1 1 0 に向かって電流が流れる。

## 【0007】

このとき、図32に示すように、P型拡散領域105a、105bとN型エピタキシャル層102との界面からN型エピタキシャル層102の側に向かって空乏層（空乏層A）が広がる。また、P型拡散領域107とN型エピタキシャル層102との開面からN型エピタキシャル層102の側に向かって空乏層120（空乏層B）が広がる。特に、空乏層Bにより電界の集中が緩和されて耐圧の向上が図られる。従来のDMOSトランジスタを備えた半導体装置は上記のように構成され動作する。

## 【0008】

## 【発明が解決しようとする課題】

上述したように、P型拡散領域107は、そのP型拡散領域107とN型エピタキシャル層102との界面からN型エピタキシャル層102の側に向かって延びる空乏層により電界集中を緩和し耐圧を向上させるために形成されている。ところが、ソース電極部109からドレイン電極部110に向かって電流が流れるオン状態においては、P型拡散領域107によって電流の流れが遮られてしまい、オン抵抗が上昇してしまうという問題点があった。

## 【0009】

図33（a）は、P型拡散領域107を有していない場合のDMOSトランジスタにおける種々のゲート電圧に対するドレイン電流とドレイン電圧との関係性を評価したグラフである。図33（b）は、P型拡散領域107を有している場合のDMOSトランジスタにおけるドレイン電流とドレイン電圧との関係性を評価したグラフである。

## 【0010】

図33（a）、（b）に示すように、P型拡散領域107を有する場合では、P型拡散領域107を有さない場合と比較して、同じドレイン電圧に対してドレイン電流が低くなっていることがわかる。特に、ドレイン電圧比較的低い場合には、ドレイン電流も低くなっていることがわかる。

## 【0011】

このために、P型拡散領域107が形成されている場合には、P型拡散領域1

0.7 が形成されていない場合に比べて、オン状態におけるオン抵抗が約 3 ～ 5 倍程度にまで上昇してしまうという問題があった。

【0 0 1 2】

本発明は上記問題点を解決するためになされたものであり、オン状態における電界緩和の効果を低下させることなくオン抵抗の上昇を抑制することができる半導体装置を提供することを目的とする。

【0 0 1 3】

【課題を解決するための手段】

本発明に係る半導体装置は、第 1 導電型の半導体基板と、第 2 導電型の第 1 領域と、第 2 導電型の第 2 領域と、第 1 導電型の第 3 領域と、第 1 電極部と、第 2 電極部と、第 3 電極部と、第 4 領域とを備えている。第 1 領域は、半導体基板上に直接接して形成されている。第 2 領域は第 1 領域の表面およびその近傍に形成されている。第 3 領域は、第 2 領域を周囲から取囲むように第 1 領域の表面およびその近傍に形成されている。第 1 電極部は、第 1 領域と第 2 領域との間に位置する第 3 領域の表面上に絶縁膜を介在させて形成されている。第 2 電極部は第 2 領域に接続されている。第 3 電極部は、第 3 領域と距離を隔てて第 1 領域に接続されている。第 4 領域は、第 3 電極部と第 3 領域との間の第 1 表面およびその近傍に形成されている。その第 4 領域は、電流が流れる方向と交差する方向に沿ってその深さが変化するように形成されている。

【0 0 1 4】

この構成によれば、第 1 領域、第 2 領域第 3 領域および第 1 電極部を含む、いわゆる MOS トランジスタが構成される。第 1 電極部に所定の電圧を印加することによって第 2 電極部から第 2 領域および第 1 領域を経て第 3 電極部へ向かって電流が流れるオン状態となる。このとき、第 1 領域と第 4 領域との界面から第 1 領域の側へ向かって空乏層が延びる。第 4 領域が電流が流れる方向と交差する方向に沿ってその深さが異なっていることで、空乏層の端部の位置も第 4 領域の深さに対応して変化するようになる。これにより、電流は、その流れる方向と交差する方向に沿って形成されたより浅いところに位置する空乏層の端部の直下近傍の第 1 領域を流れることができるようになって、電流の流れを妨げるのを抑制す

ることができる。また、この空乏層によって電界が緩和される。その結果、オン状態において電界緩和の効果を保持しつつ、オン抵抗の上昇を抑制することができる。

## 【 0 0 1 5 】

好ましくは、第 3 電極部を周囲から取囲むように第 1 領域の表面およびその近傍に第 1 導電型の第 5 領域が形成されている。

## 【 0 0 1 6 】

この場合には、第 1 領域、第 3 領域および第 5 領域を含むバイポーラトランジスタにおいて、第 1 電極に所定の電圧を印加することによって第 3 領域に形成されるチャンネル領域を介して第 1 領域に電流が供給される、いわゆる絶縁ゲート型バイポーラトランジスタが形成される。

## 【 0 0 1 7 】

本発明に係る半導体装置の他の 1 つは第 1 導電型の半導体基板と、第 2 導電型の第 1 領域と、第 2 導電型の第 2 領域と、第 1 導電型の第 3 領域と、第 1 電極部と、第 2 電極部と、第 3 電極部と、第 1 導電型の第 4 領域とを備えている。第 1 領域は半導体基板上に直接接して形成されている。第 2 領域は第 1 領域の表面およびその近傍に形成されている。第 3 領域は第 2 領域を周囲から取囲むように第 1 領域の表面およびその近傍に形成されている。第 1 電極部は第 3 領域に接続されている。第 2 電極部は第 2 領域に接続されている。第 3 電極部は第 3 領域と距離を隔てて第 1 領域に接続されている。第 4 領域は第 3 電極部と第 3 領域との間の第 1 領域の表面およびその近傍に形成されている。その第 4 領域は電流が流れる方向と交差する方向に沿ってその深さが変化するように形成されている。

## 【 0 0 1 8 】

この構成によれば、第 1 領域、第 2 領域および第 3 領域を含む、いわゆるバイポーラトランジスタが構成される。第 3 領域に接続された第 1 電極部に所定の電圧を印加することによって第 2 電極部から第 2 領域および第 3 領域を経て、第 1 領域を接続された第 3 電極部へ向かって電流が流れるオン状態となる。このとき、第 1 領域と第 4 領域との界面から第 1 領域の側へ向かって空乏層が延びる。第 4 領域が電流が流れる方向と交差する方向に沿ってその深さが異なっていること

で、空乏層の端部の位置も第4領域の深さに対応して変化するようになる。これにより、電流は、その流れる方向と交差する方向に沿って形成されたより浅いところに位置する空乏層の端部の直下近傍の第1領域を流れることができるようになって、電流の流れを妨げるのを抑制することができる。また、この空乏層によって電界が緩和される。その結果、オン状態において電界緩和の効果を保持しつつ、オン抵抗の上昇を抑制することができる。

## 【0019】

好ましくは、第4領域は一定の電位に固定されている。

この場合には、第4領域の電位の不安定さが解消されて、第4領域と第1領域との界面から十分に空乏層を延ばすことができ、電界緩和がより確実に行なわれる。

## 【0020】

具体的には、第4領域は第1電極部または第2電極部と電氣的に接続されていることで一定の電位に固定される。

## 【0021】

また好ましくは、第4領域は離散的に形成され、各第4領域はオン状態では隣合う第4領域からそれぞれ延びる空乏層が互いに繋がる距離をもって隔てられている。

## 【0022】

この場合には、第4領域が連続的に形成されておらず、離散的に形成されている場合であっても、オン状態において隣り合う第4領域からそれぞれ延びる空乏層が互いに繋がることで、電界緩和の効果を保持することができる。しかも、隣接する第4領域からそれぞれ延びる空乏層が互いに繋がった部分では、空乏層の端部がより浅いところに位置して、その端部直下近傍の第1領域を電流が流れることができ、電流の流れを妨げるのを抑制することができる。

## 【0023】

具体的に第4領域が離散的に形成される場合には、第1領域の不純物濃度を $N_A$ 、隣接する第4領域間の距離を $W$ 、必要耐圧を $V$ 、電荷量を $q$ 、真空の誘電率を $\epsilon$ 、シリコンの比誘電率を $\epsilon'$ とし、不純物濃度 $N_A$ は不純物濃度 $N_D$ よりも十

分に大きく実質的に無限大とすると、次の式

$$V > q N_D W^2 / (8 \epsilon \epsilon')$$

$$W < 2 (2 V \epsilon \epsilon' / (q N_D))^{(1/2)}$$

を満たしていることが望ましい。

【0024】

この場合には、上記関係を満たすように第4領域が形成されていることで、電界緩和効果を保持しつつ、オン状態におけるオン抵抗の上昇を抑制することができる。

【0025】

【発明の実施の形態】

実施の形態1

本発明の実施の形態1に係るDMOSトランジスタを備えた半導体装置について説明する。図1に示すように、p型シリコン基板1上に、N型エピタキシャル層2が形成されている。そのp型シリコン基板1とN型エピタキシャル層2との間にN+埋込み拡散領域3が形成されている。N型エピタキシャル層2の表面およびその近傍に、第2領域としての、N+拡散領域6a～6dが形成されている。

【0026】

N+型拡散領域6a、6bを周囲から取囲むように、N型エピタキシャル層2の表面およびその近傍に第3領域としてのp型拡散領域5aが形成されている。同様に、N+型拡散領域6c、6dを周囲から取囲むように、第3領域としてのP型拡散領域5bが形成されている。N+型拡散領域6aとN型エピタキシャル層2との間に位置するP型拡散領域5aの表面上に、絶縁膜を介在させて第1電極部としてのゲート電極部8aが形成されている。

【0027】

また、N+型拡散領域6bとN型エピタキシャル層2との間に位置するP型拡散領域5aの表面上およびN+型拡散領域6cとN型エピタキシャル層2との間に位置するP型拡散領域5bの表面上に絶縁膜を介在させて、第1電極としてのゲート電極部8bが形成されている。N+型拡散領域6a～6dに電氣的に

接続される第 2 電極部としてのソース電極 9 が形成されている。

【0028】

なお、N+型拡散領域 6 a と N+型拡散領域 6 b との間に形成された領域は、p+型領域（参照番号なし）であり、したがって、N+型拡散領域 6 a、6 b と P 型拡散領域 5 a とは、ソース電極 9 を介して同電位に固定されている。

【0029】

N-型エピタキシャル層 2 の表面およびその近傍にフィールド分離膜 1 4 が形成されている。そのフィールド分離膜 1 4 を挟んでゲート電極部 8 a と反対側にドレイン電極 1 0 が形成されている。そのドレイン電極 1 0 は N-型エピタキシャル層 2 に形成された N+型拡散層 4 に電氣的に接続されている。

【0030】

フィールド分離膜 1 4 下のソース電極 9 とドレイン電極 1 0 との間には、第 4 領域としての P 型拡散領域 7 が離散的に形成されている。なお、この P 型拡散領域 7 は、後述するように、電流が流れる方向と交差する方向に沿って所定の間隔を隔てて形成されている。また、P 型拡散領域 7 は、DMOS トランジスタが形成される領域を取囲むように形成されている。

【0031】

この半導体装置においては、複数の DMOS トランジスタのうちの 1 つが、たとえば、N+型拡散領域 6 a、N-型エピタキシャル層 2、P 型拡散領域 5 a およびゲート電極部 8 a を含んで構成される。

【0032】

次に、上述した半導体装置の動作について説明する。ゲート電極部 8 a、8 b に所定の電圧を印加することにより、P 型拡散領域 5 a、5 b にそれぞれチャネル領域が形成される。これにより、ソース電極 9 および N+型拡散領域 6 a ~ 6 d からこのチャネル領域および N-型エピタキシャル層 2 を経て、ドレイン電極 1 0 へ向かって電流が流れる。これにより、オン状態となる。

【0033】

このとき、図 2 に示すように、P 型拡散領域 5 a、5 b と N-型エピタキシャル層 2 との界面から N-型エピタキシャル層 2 の側に向かって空乏層 A が延びる

とともに、P型拡散領域7とN-型エピタキシャル層2との界面からN-型エピタキシャル層2の側に向かって空乏層Bが延びる。

【0034】

P型拡散領域7が所定の間隔を隔てて離散的に形成されていることで、図3に示すように、隣合うP型拡散領域7からそれぞれ延びる空乏層Bが互いに繋がった状態になる。空乏層Bが互いに繋がった空乏層端21では、その位置が他の空乏層端の位置よりも浅いところに位置している。

【0035】

オン状態では、電流がこの空乏層端21直下近傍のN-型エピタキシャル層2の部分22を流れることができるようになり、電流の流れを妨げることを抑制することができる。しかも、P型拡散領域7とN-型エピタキシャル層2との界面から延びる空乏層Bによって電界緩和効果を保持することができる。

【0036】

このように、電界緩和効果を保持しつつ、オン状態におけるオン抵抗の上昇を抑制するためには、P型拡散領域7はソース電極9からドレイン電極10へ向かって電流が流れる方向と交差する方向に所定の間隔を隔てて離散的に形成されている必要があり、次の条件が必要とされる。

【0037】

すなわち、N-型エピタキシャル層2の不純物濃度を $N_D$ 、P型拡散領域7の不純物濃度を $N_A$ 、隣接するP型拡散領域7間の距離を $W$ 、必要耐圧を $V$ 、電荷量を $q$ 、真空の誘電率を $\epsilon$ 、シリコンの比誘電率を $\epsilon'$ とし、P型拡散領域7の不純物濃度 $N_A$ はN-型エピタキシャル層2の不純物濃度 $N_D$ よりも十分に大きく、実質的に無限大とすると、次の式

$$V > q N_D W^2 / (8 \epsilon \epsilon')$$

$$W < 2 (2 V \epsilon \epsilon' / (q N_D))^{(1/2)}$$

を満たしていることが必要とされる。図3に示すように、隣接するP型拡散領域7間の距離 $W$ が上記関係を満足することで、電界緩和の効果を保持しつつオン状態におけるオン抵抗の上昇を抑制することができる。

【0038】

たとえば、比抵抗  $1.6 \Omega \text{ cm}$  の N-型エピタキシャル層 2 を形成する場合、その不純物濃度は  $3 \times 10^{15} / \text{cm}^3$  である。このとき、耐圧 60 V の素子を作る場合、隣接する P 型拡散領域 7 間の距離  $W$  を  $8 \mu \text{ m}$  とすると、耐圧は約 37 V となる。

## 【0039】

なお、P 型拡散領域 7 としては、図 1 に示すように、平面形状が実質的に円形のを例に挙げたが、この他に、図 4 に示すように、長さ  $a$  と長さ  $b$  とを有する矩形状のものを適用してもよい。

## 【0040】

次に、上述した半導体装置の製造方法の一例について説明する。まず図 5 に示すように、p 型シリコン基板 1 に n 型の不純物を注入して熱処理を施して、その p 型シリコン基板 1 上にエピタキシャル成長法により N-型エピタキシャル層 2 を形成するとともに、N+型埋込み拡散領域 3 を形成する。次に、N-型エピタキシャル層 2 の所定の領域に、N+型拡散層 4 を形成する。

## 【0041】

N-型エピタキシャル層 2 上に下敷き酸化膜 5 1 を形成する。その下敷き酸化膜 5 1 上にシリコン窒化膜 5 2 を形成する。そのシリコン窒化膜 5 2 上にフォトレジスト 5 3 を形成する。そのフォトレジスト 5 3 をマスクとして、シリコン窒化膜 5 2 にエッチングを施して下敷き酸化膜 5 1 の表面を露出する。さらに、フォトレジスト 5 3 をマスクとして n 型の不純物をイオン注入法により注入することにより、n ウェルとなる n 型領域 5 4 a を形成する。

## 【0042】

なお、図 5 において、CMOS トランジスタが形成される領域を CMOS 領域 A とし、DMOS トランジスタが形成される領域を DMOS 領域 B としている。

## 【0043】

次に、図 6 に示すように、熱酸化法によりアイランド酸化膜 5 6 を形成する。そして、N-型エピタキシャル層 2 上にフォトレジスト 5 5 を形成する。そのフォトレジスト 5 5 をマスクとして、DMOS 領域 B に P 型拡散領域となる p 型領域 7 a を形成する。また、CMOS 領域に p ウェルとなる p 型領域 5 7 a を形成

する。

【 0 0 4 4 】

次に、図 7 に示すように、アイランド酸化膜 5 6 を除去するとともに所定の熱処理を施すことにより、DMOS 領域 B に P 型拡散領域 7 を形成する。また、CMOS 領域 A に n ウェル 5 4 および p ウェル 5 7 をそれぞれ形成する。次に、図 8 に示すように、素子を互いに電氣的に絶縁するための所定のフィールド分離膜 1 4 を形成する。

【 0 0 4 5 】

次に、図 9 に示すように、N-型エピタキシャル層 2 上にゲート酸化膜となるシリコン酸化膜を介在させてポリシリコン膜（図示せず）を形成する。そのポリシリコン膜上にフォトレジスト 6 0 を形成する。そのフォトレジスト 6 0 をマスクとしてポリシリコン膜およびシリコン酸化膜に異方性エッチングを施すことにより、ゲート酸化膜 5 8 a ～ 5 8 e およびポリシリコンゲート電極 5 9 a ～ 5 9 e をそれぞれ含むゲート電極部 8 a ～ 8 e をそれぞれ形成する。

【 0 0 4 6 】

次に、図 1 0 に示すように、N-型エピタキシャル層 2 上にフォトレジスト 6 1 を形成する。そのフォトレジスト 6 1 をマスクとしてイオン注入法によりボロンを注入することにより、P 型拡散領域 5 a 、 5 b をそれぞれ形成する。その後、フォトレジスト 6 0 、 6 1 を除去する。

【 0 0 4 7 】

次に、図 1 1 に示すように、N-型エピタキシャル層 2 上にフォトレジスト 6 2 を形成する。そのフォトレジスト 6 2 をマスクとしてイオン注入法により砒素を注入することで、N+型拡散領域 6 a ～ 6 d および N+型ソース・ドレイン領域 6 3 a 、 6 3 b をそれぞれ形成する。次に、図 1 2 に示すように、フォトレジスト 6 4 を形成する。そのフォトレジスト 6 4 をマスクとして、イオン注入法によりボロンを注入することにより、P+型ソース・ドレイン領域 6 5 a 、 6 5 b をそれぞれ形成する。

【 0 0 4 8 】

次に、図 1 3 に示すように、ゲート電極部 8 a ～ 8 e を覆うように、N-型エ

ピタキシャル層 2 上に、層間絶縁膜としてのシリコン酸化膜 2 0 を形成する。そのシリコン酸化膜 2 0 に所定のコンタクトホール（図示せず）を形成する。そのコンタクトホールを埋めるようにシリコン酸化膜 2 0 上に所定の金属膜（図示せず）を形成する。

#### 【 0 0 4 9 】

その金属膜に所定の写真製版および加工を施すことにより、N + 型拡散層 4 に電氣的に接続されるドレイン電極 1 0 を形成する。N + 型拡散領域 6 a ~ 6 d に電氣的に接続されるソース電極 9 を形成する。N + 型ソース・ドレイン領域 6 3 a、6 3 b に電氣的に接続されるソース・ドレイン電極 6 6 a、6 6 b をそれぞれ形成する。P + 型ソース・ドレイン領域 6 5 a、6 5 b に電氣的に接続されるソース・ドレイン電極 6 7 a、6 7 b をそれぞれ形成する。

#### 【 0 0 5 0 】

以上のようにして、CMOS 領域 A には n チャネルおよび p チャネル型の MOS トランジスタが形成され、DMOS 領域 B には、DMOS トランジスタが形成されて、半導体装置の主要部分が完成する。

#### 【 0 0 5 1 】

特に、上述した製造方法においては、図 6 に示す工程において、離散的に形成される P 型拡散領域 7 となる p 型領域 7 a は、最終的なプロセスを経た後に上述した関係式を満たす所定の間隔 W を有するよう形成される必要がある。このため、p 型領域 7 a は予め熱処理に伴う不純物の拡散長を考慮して間隔 W よりも広い間隔をもって形成される。

#### 【 0 0 5 2 】

##### 実施の形態 2

次に、本発明の実施の形態 2 に係る半導体装置について説明する。実施の形態 1 における半導体装置では、P 型拡散領域 7 は電流が流れる方向と交差する方向に離散的に形成されていた。本実施の形態における P 型拡散領域 7 は、図 1 4 および図 1 5 に示すように、電流が流れる方向と交差する方向に連続的に形成されているが、その P 型拡散領域 7 の深さが異なっている。なお、これ以外の部分については実施の形態 1 において説明した図 1 に示す半導体装置と同様の構成なの

で、同一部材には同一符号を付しその説明を省略する。

【0053】

上述した半導体装置においては、図15に示すように、P型拡散領域7の深さが電流が流れる方向と交差する方向に沿って異なっている。オン状態においては、P型拡散領域7とN型エピタキシャル層2との界面からN型エピタキシャル層2の側に向かって空乏層Bが延びる。P型拡散領域7が電流が流れる方向と交差する方向に沿ってその深さが異なっていることで、空乏層の端部の位置も、P型拡散領域7の深さに対応して変化するようになる。

【0054】

これにより、電流は、その流れる方向と交差する方向に沿って形成されたより浅いところに位置する空乏層Bの端部21の直下近傍のN型エピタキシャル層2の部分22を流れることができるようになって、電流の流れを妨げるのを抑制することができる。しかも、P型拡散領域7とN型エピタキシャル層2との界面から延びる空乏層Bにより電界緩和の効果が保持される。その結果、電界緩和の効果を保持しつつオン状態におけるオン抵抗の上昇を抑制することができる。

【0055】

この半導体装置の製造方法は、実施の形態1において説明した製造方法と基本的に同じである。特に、この半導体装置におけるP型拡散領域7は、電流が流れる方向と交差する方向に沿って連続的に、しかも、その深さが変化するように形成されている。

【0056】

したがって、この半導体装置を製造する際には、図16に示された、P型拡散領域となるp型領域7bを形成する工程において、隣接するp型領域7bが、最終的に図15に示すようにその表面およびその近傍が繋がるようなパターンに形成される必要がある。

【0057】

実施の形態3

本発明の実施の形態3に係る半導体装置について説明する。本実施の形態に係る半導体装置は、図17に示すように、P型拡散領域7が、フィールド分離膜1

4の端部に沿って形成されている。このP型拡散領域7は実施の形態1における半導体装置と同様に離散的に形成されているが、実施の形態2における半導体装置のように連続的にしかもその深さが変化するように形成されていてもよい。なお、これ以外の構成については、実施の形態1において説明した半導体装置と同様なので同一部材には同一符号を付しその説明を省略する。

#### 【0058】

上述した半導体装置においても、オン状態において隣接するP型拡散領域7とN型エピタキシャル層2との界面からN型エピタキシャル層2の側に向かって空乏層が延びる。隣合うP型拡散領域7からそれぞれ延びる空乏層が互いに繋がった空乏層端では、その位置が他の空乏層端の位置よりもより浅いところに位置している。

#### 【0059】

これにより、オン状態では電流がその空乏層端直下近傍のN型エピタキシャル層2の部分の流れることができるようになり、電流の流れを妨げるのを抑制することができる。その結果、電界緩和の効果を保持しつつ、オン状態におけるオン抵抗の上昇を抑制することができる。

#### 【0060】

さらに、この半導体装置では、P型拡散領域7がフィールド分離膜14の端部に沿って形成されている。フィールド分離膜14の端部近傍の領域は一般に電界が集中しやすい。このような、電界が集中しやすい領域にP型拡散領域7を形成することで、その電界を効果的に緩和することができる。

#### 【0061】

フィールド分離膜14の端部に沿って位置するP型拡散領域7は、フィールド酸化を行なう前に予めボロンを注入することによって自己整合的に形成することができる。

#### 【0062】

次に、そのような製造方法の一例について説明する。まず、実施の形態1において説明した図6に示す工程では、ボロンを注入することによりpウェルとなるp型領域57aとP型拡散領域7となるp型領域7aが同時に形成された。

## 【 0 0 6 3 】

本実施の形態における半導体装置では、図 1 8 に示すように、p 型領域を形成せずに、p ウェルとなる p 型領域 5 7 a のみを形成する。次に、図 1 9 に示すように、アイランド酸化膜 5 6 を除去し、所定の熱処理を施すことにより n ウェル 5 4 および p ウェル 5 7 をそれぞれ形成する。N 型エピタキシャル層 2 上に熱酸化膜 6 8 を形成する。

## 【 0 0 6 4 】

その熱酸化膜 6 8 上にシリコン窒化膜 6 9 を形成する。そのシリコン窒化膜 6 9 上にフォトレジスト 7 0 を形成する。そのフォトレジスト 7 0 をマスクとしてシリコン窒化膜 6 9 にエッチングを施して、熱酸化膜 6 8 の表面を露出する。さらにフォトレジスト 7 1 を形成する。

## 【 0 0 6 5 】

そのフォトレジスト 7 1、7 0 をマスクとして、イオン注入法によりボロンを注入することにより、フィールド分離膜（図示せず）が形成される領域の端部に自己整合的に P 型拡散領域 7 となる p 型領域 7 c が形成される。その後、フォトレジスト 7 0、7 1 を除去する。

## 【 0 0 6 6 】

次に、図 2 0 に示すように、所定の熱処理を施すことによりフィールド分離膜 1 4 を形成する。次に、図 2 1 に示すように、ゲート酸化膜 5 8 a ～ 5 8 e およびポリシリコンゲート電極 5 9 a ～ 5 9 e をそれぞれ含むゲート電極部 8 a ～ 8 e をそれぞれ形成する。その後、実施の形態 1 において説明した図 1 0 から図 1 3 に示す工程と同様の工程を経ることにより、図 1 7 に示す半導体装置が完成する。

## 【 0 0 6 7 】

このように、フィールド分離膜を形成する前の下地のパターンを利用することで、フィールド分離膜 1 4 の端部に沿って位置する P 型拡散領域 7 を自己整合的に容易に形成することができる。

## 【 0 0 6 8 】

実施の形態 4

実施の形態 1 ～ 3 においてそれぞれ説明した半導体装置では、P 型拡散領域 7 はフィールド分離膜の下方の N 型エピタキシャル層 2 に形成され、電氣的にはフローティングの状態であった。

【 0 0 6 9 】

本発明の実施の形態 4 に係る半導体装置では、一定の電位に固定された P 型拡散領域を有する半導体装置について説明する。P 型拡散領域をフィールド分離膜の下方に形成したのでは一定の電位に固定することができないため、本半導体装置では、図 2 2 に示すように、P 型拡散領域 7 は N 型エピタキシャル層 2 の表面およびその近傍に離散的に形成されている。

【 0 0 7 0 】

この半導体装置では、各 P 型拡散領域 7 はソース電位に固定されている。特に、図 2 3 に示すように、各 P 型拡散領域 7 は、シリコン酸化膜 2 0 に各 P 型拡散領域 7 の表面を露出するように形成されたコンタクトホール 1 5 を介してソース電極 9 と電氣的に接続されている。なお、これ以外の構成については実施の形態 1 において説明した図 1 に示す半導体装置と同様なので、同一部材には同一符号を付し、その説明を省略する。

【 0 0 7 1 】

本実施の形態に係る半導体装置では、実施の形態 1 において説明した効果に加えて次のような効果が得られる。P 型拡散領域 7 が電氣的にフローティングの場合では、逆バイアス時にはある程度 P 型拡散領域の電位が上昇するため、P 型拡散領域 7 と N 型エピタキシャル層 2 とに加わる逆バイアスが小さくなる結果、隣接する P 型拡散領域 7 間の空乏化が起こりにくくなることがある。また、P 型拡散領域 7 がフローティングの場合には、電位の不安定さが存在する。

【 0 0 7 2 】

そこで、P 型拡散領域 7 をソース電位に固定することで隣接する P 型拡散領域間に空乏層が確実に形成されて、電界緩和の効果を確実に保持しつつ、オン状態におけるオン抵抗の上昇を抑制することができる。

【 0 0 7 3 】

なお、この半導体装置では、上述したように、P 型拡散領域 7 がフィールド分

離膜 1 4 の下方にではなく N-型エピタキシャル層 2 の表面およびその近傍に形成されている。したがって、実施の形態 1 において説明した半導体装置とは、P 型拡散領域の配置が異なるだけであって、基本的な製造方法は実施の形態 1 において説明した方法と同様である。

【0074】

#### 実施の形態 5

次に、実施の形態 5 に係る半導体装置として、実施の形態 4 において説明した半導体装置よりもオン状態においてより多くの電流を流すことで、オン抵抗の低減が図られる半導体装置について説明する。

【0075】

図 2 4 に示すように、N-型エピタキシャル層 2 の表面およびその近傍に N+ 型拡散領域 6 e が形成されている。その N+ 型拡散領域 6 e を周囲から取囲むように P 型拡散領域 5 c が形成されている。N+ 型拡散領域 6 e と N-型エピタキシャル層 2 との間に位置する P 型拡散領域 5 c 上にゲート酸化膜を介在させてゲート電極部 8 a が形成されている。N+ 型拡散領域 6 e に隣接して p+ 型領域 2 3 が形成されており、したがって、P 型拡散領域 5 c と N+ 型拡散領域 6 e とは、ソース電極 9 を介して電氣的に同電位に固定されている。

【0076】

また、図 2 5 に示すように、離散的に形成された P 型拡散領域 7 の表面を露出するように、コンタクト溝 1 6 がシリコン酸化膜 2 0 に形成されている。ソース電極 9 は、このコンタクト溝 1 6 を介して各 P 型拡散領域 7 と電氣的に接続されている。なお、これ以外の構成については、実施の形態 4 において説明した図 2 2 に示す半導体装置と同様なので、同一部材には同一符号を付しその説明を省略する。

【0077】

上述した半導体装置においては、実施の形態 4 において説明した効果に加えて、次のような効果が得られる。この半導体装置では、P 型拡散領域 5 a、5 b および N+ 型拡散領域 6 a ~ 6 d に加えて、P 型拡散領域 5 c および N+ 型拡散領域 6 e が形成されている。ゲート電極部 8 a が、その N+ 型拡散領域 6 e と N-

型エピタキシャル層 2 との間に位置する P 型拡散領域 5 c の表面上に形成されている。

#### 【 0 0 7 8 】

これにより、N + 型拡散領域 6 a ~ 6 c と N - 型エピタキシャル層 2 との間にそれぞれ位置する P 型拡散領域 5 a、5 b に形成されるチャネル領域に加えて、N + 型拡散領域 6 e と N - 型エピタキシャル層 2 との間に位置する P 型拡散領域 5 c にもチャネル領域が形成されることで、実施の形態 4 において説明した半導体装置に比べてオン状態においてより多くの電流を流すことができる。その結果、DMOS トランジスタにおけるチャネル幅を増やすことができ、オン状態におけるオン抵抗をより低減することができる。

#### 【 0 0 7 9 】

なお、この半導体装置では、実施の形態 1 において説明した半導体装置とは N + 型拡散領域や P 型拡散領域等のパターンが異なるだけであって、この半導体装置の製造方法も、基本的には実施の形態 1 において説明した半導体装置の製造方法と同じである。

#### 【 0 0 8 0 】

##### 実施の形態 6

本発明の実施の形態 6 に係る半導体装置として、バイポーラトランジスタを有する半導体装置について説明する。図 2 6 に示すように、N - 型エピタキシャル層 2 の表面およびその近傍に N + 型拡散領域 6 が形成されている。その N + 型拡散領域 6 を周囲から取囲むように、N - 型エピタキシャル層 2 の表面およびその近傍に P 型拡散領域 5 が形成されている。この N + 型拡散領域 6 がエミッタ領域となり、P 型拡散領域 5 がベース領域となり、N - 型エピタキシャル層 2 がコレクタ領域となる。

#### 【 0 0 8 1 】

N + 型拡散領域 6 に電氣的に接続されるエミッタ電極 1 1 が形成されている。P 型拡散領域 5 に電氣的に接続されるベース電極 1 2 が形成されている。なお、ベース電極 1 2 と P 型拡散領域 5 との間にはコンタクト抵抗を低減するための p + 領域 2 4 が形成されている。N + 型拡散層 4 に電氣的に接続されるコレクタ電

極 1 3 が形成されている。そして、実施の形態 1 において説明したように、P 型拡散領域 7 がオン状態において電流が流れる方向と交差する方向に沿って離散的に形成されている。

【0082】

N 型エピタキシャル層 2 上に形成されたシリコン酸化膜 2 0 には、図 2 7 に示すように、離散的に形成された P 型拡散領域 7 の表面を露出するコンタクト溝 1 8 が形成されている。また、N + 型拡散領域 6 の表面を露出するコンタクト溝 1 7 が形成されている。

【0083】

各 P 型拡散領域 7 は、コンタクト溝 1 8 を埋めるように形成されたベース電極 1 2 によって互いに電氣的に接続されている。また、エミッタ電極 1 1 は、コンタクト溝 1 7 を埋めるように形成されている。なお、これ以外の構成については実施の形態 1 において説明した図 1 に示す半導体装置と同様なので同一部材には同一符号を付しその説明を省略する。

【0084】

次に、上述した半導体装置の動作について説明する。ベース電極 1 2 に所定の電圧を印加することで、エミッタ電極 1 1 からコレクタ電極 1 3 へ向かって電流が流れてオン状態となる。このとき、P 型拡散領域 7 と N 型エピタキシャル層 2 との界面から N 型エピタキシャル層 2 の側に向かって空乏層が延びる。

【0085】

P 型拡散領域 7 が所定の間隔を隔てて離散的に形成されていることで、隣合う P 型拡散領域 7 からそれぞれ延びる空乏層が互いに繋がった状態になる。空乏層が互いに繋がった空乏層端 2 1 では、実施の形態 1 において説明した図 3 に示すように、その位置が他の空乏層端の位置よりも浅いところに位置しており、電流がこの空乏層端 2 1 直下近傍の N 型エピタキシャル層 2 の部分 2 2 を流れることができるようになる。

【0086】

これにより、電流の流れを妨げることを抑制することができる。しかも、P 型拡散領域 7 と N 型エピタキシャル層 2 との界面から延びる空乏層によって電界

緩和効果を保持することができる。

【0087】

なお、この半導体装置では、実施の形態1において説明した半導体装置とはN<sup>+</sup>型拡散領域やP型拡散領域等のパターンが異なるだけであって、この半導体装置の製造方法も、基本的には実施の形態1において説明した半導体装置の製造方法と同じである。

【0088】

実施の形態7

本発明の実施の形態7に係る半導体装置について説明する。図28に示すように、本実施の形態に係る半導体装置では、N<sup>+</sup>型埋込み拡散領域とN<sup>+</sup>型拡散層4が形成されていない点を除けば、実施の形態5において説明した図24に示す半導体装置と同様の構造である。したがって、同一部材には同一符号を付しその説明を省略する。

【0089】

この半導体装置では、実施の形態5において説明した半導体装置によって得られる効果に加えて、次のような効果が得られる。オン状態において、N<sup>-</sup>型エピタキシャル層2とP型拡散領域5a～5cとの界面からN<sup>-</sup>型エピタキシャル層2の側に向かって空乏層（空乏層C）が延びる。

【0090】

このとき、N<sup>-</sup>型エピタキシャル層2とp型シリコン基板1との界面からもN<sup>-</sup>型エピタキシャル層2の側に向かって空乏層（空乏層D）が延びる。この空乏層Dが延びることによって、空乏層Cがさらに延びやすくなる。これにより、N<sup>-</sup>型エピタキシャル層2の表面における電界が、R e s u r f (Reduced SURface Field) 効果により緩和される。その結果、半導体装置の耐圧をより向上することができる。

【0091】

なお、この半導体装置では、N<sup>+</sup>型埋込み拡散領域3が形成されていないことで、P型拡散領域7とp型シリコン基板1との間の抵抗（J F E T抵抗）が上昇することが想定される。しかしながら、この半導体装置では、P型拡散領域7が

離散的に形成されていることで、過度の J F E T 抵抗の上昇が抑制されて半導体装置のオン状態におけるオン抵抗を下げることができる。

#### 【 0 0 9 2 】

また、この半導体装置では、実施の形態 1 において説明した半導体装置とは N + 型拡散領域や P 型拡散領域等のパターンが異なるだけであって、この半導体装置の製造方法も、基本的には実施の形態 1 において説明した半導体装置の製造方法と同じである。

#### 【 0 0 9 3 】

##### 実施の形態 8

本発明の実施の形態 8 に係る半導体装置について説明する。図 2 9 に示すように、本実施の形態に係る半導体装置では、N + 型埋込み拡散領域 3 と N + 型拡散層 4 が形成されていない点を除けば、実施の形態 6 において説明した図 2 6 に示す半導体装置と同様の構造である。したがって、同一部材には同一符号を付しその説明を省略する。

#### 【 0 0 9 4 】

この半導体装置では、実施の形態 6 において説明した半導体装置によって得られる効果に加えて次のような効果が得られる。すなわち、実施の形態 7 において説明した半導体装置と同様に、オン状態において、N - 型エピタキシャル層 2 と P 型拡散領域 5 a ~ 5 c との界面から N - 型エピタキシャル層 2 の側に向かって空乏層（空乏層 C）が延びるとともに、N - 型エピタキシャル層 2 と p 型シリコン基板 1 との界面からも N - 型エピタキシャル層 2 の側に向かって空乏層（空乏層 D）が延びる。

#### 【 0 0 9 5 】

この空乏層 D が延びることによって、空乏層 C がさらに延びやすくなる。これにより、N - 型エピタキシャル層 2 の表面における電界が、R e s u r f 効果により緩和される。その結果、半導体装置の耐圧をより向上することができる。

#### 【 0 0 9 6 】

また、P 型拡散領域 7 が離散的に形成されていることで、過度の J F E T 抵抗の上昇が抑制されて N P N トランジスタのオン状態におけるオン抵抗を下げるこ

とができる。

【 0 0 9 7 】

なお、この半導体装置でも、実施の形態 1 において説明した半導体装置とは N + 型拡散領域や P 型拡散領域等のパターンが異なるだけであって、この半導体装置の製造方法も、基本的には実施の形態 1 において説明した半導体装置の製造方法と同じである。

【 0 0 9 8 】

実施の形態 9

本発明の実施の形態 9 に係る半導体装置として、ゲート絶縁型バイポーラトランジスタ (Insulated Gate Bipolar Transistor、以下「IGBT」と記す) を有する半導体装置について説明する。

【 0 0 9 9 】

図 3 0 に示すように、N - 型エピタキシャル層 2 の表面およびその近傍に N + 型拡散領域 6 a ~ 6 d が形成されている。その N + 型拡散領域 6 a、6 b を周囲から取囲むように、N - 型エピタキシャル層 2 の表面およびその近傍に P 型拡散領域 5 a が形成されている。また、その N + 型拡散領域 6 c、6 d を周囲から取囲むように、N - 型エピタキシャル層 2 の表面およびその近傍に P 型拡散領域 5 b が形成されている。

【 0 1 0 0 】

さらに、P 型拡散領域 5 a 等と距離を隔てて、N - 型エピタキシャル層 2 の表面およびその近傍に p + 型領域 1 9 が形成されている。この p + 型拡散領域 1 9 がコレクタ領域となり、P 型拡散領域 5 a 等がエミッタ領域となり、N - 型エピタキシャル層 2 がベース領域となる。p + 型拡散領域 1 9 に電氣的にコレクタ電極 1 3 が接続されている。P 型拡散領域 5 a 等に電氣的にエミッタ電極 1 1 が接続されている。

【 0 1 0 1 】

このトランジスタでは、ベース電流がゲート電極 8 a、8 b に所定の電圧を印加することによって P 型拡散領域 5 a、5 b に形成されるチャネル領域を介して供給されることになる。このようなトランジスタは、特に IGBT と呼ばれてい

る。なお、これ以外の構成については実施の形態 1 において説明した図 1 に示す半導体装置と同様なので同一部材には同一符号を付しその説明を省略する。

#### 【0102】

この半導体装置においては、上述したように、P 型拡散領域 5 a、5 b に形成されたチャネル領域を介して N + 型拡散領域 6 a ~ 6 d から N - 型エピタキシャル層 2 へ向かって電子電流が流れる。一方、コレクタ電極 1 3 が接続された p + 領域 1 9 から N - 型エピタキシャル層 2 へ向かって正孔が流れる。

#### 【0103】

このようにして、エミッタ電極 1 1 とコレクタ電極 1 3 との間に電流が流れるオン状態が実現する。このとき、P 型拡散領域 7 と N - 型エピタキシャル層 2 との界面から N - 型エピタキシャル層 2 の側に向かって空乏層が延びる。

#### 【0104】

P 型拡散領域 7 が所定の間隔を隔てて離散的に形成されていることで、実施の形態 1 において説明した図 3 に示すように、隣合う P 型拡散領域 7 からそれぞれ延びる空乏層が互いに繋がった状態になる。空乏層が互いに繋がった空乏層端 2 1 では、その位置が他の空乏層端の位置よりも浅いところに位置している。

#### 【0105】

オン状態では、電子電流がこの空乏層端 2 1 直下近傍の N - 型エピタキシャル層 2 の部分 2 2 を流れることができるようになり、PNP 型のトランジスタとしての動作電流が大きくなる。その結果、IGBT のオン状態におけるオン抵抗を低減することができる。しかも、P 型拡散領域 7 と N - 型エピタキシャル層 2 との界面から延びる空乏層によって電界緩和効果を保持することができる。

#### 【0106】

なお、実施の形態 3 ~ 9 では、P 型拡散領域 7 として、所定の間隔を隔てて離散的に形成されている場合を例に挙げて説明したが、実施の形態 2 において説明した図 1 4 に示す半導体装置と同様に、電流が流れる方向と交差する方向に沿って連続的に形成され、しかも、その深さが異なっている P 型拡散領域を形成しても同様の効果を得ることができる。

#### 【0107】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0108】

【発明の効果】

本発明に係る半導体装置の1つによれば、第1領域、第2領域第3領域および第1電極部を含む、いわゆるMOSトランジスタが構成される。第1電極部に所定の電圧を印加することによって第2電極部から第2領域および第1領域を経て第3電極部へ向かって電流が流れるオン状態において、第1領域と第4領域との界面から第1領域の側へ向かって空乏層が延びる。第4領域が電流が流れる方向と交差する方向に沿ってその深さが異なっていることで、空乏層の端部の位置も第4領域の深さに対応して変化するようになる。これにより、電流は、その流れる方向と交差する方向に沿って形成されたより浅いところに位置する空乏層の端部の直下近傍の第1領域を流れることができるようになって、電流の流れを妨げるのを抑制することができる。また、この空乏層によって電界が緩和される。その結果、オン状態において電界緩和の効果を保持しつつ、オン抵抗の上昇を抑制することができる。

【0109】

好ましくは、第3電極部を周囲から取囲むように第1領域の表面およびその近傍に第1導電型の第5領域が形成されていることで、第1領域、第3領域および第5領域を含むバイポーラトランジスタにおいて、第1電極に所定の電圧を印加することによって第3領域に形成されるチャネル領域を介して第1領域に電流が供給される、いわゆる絶縁ゲート型バイポーラトランジスタが形成される。

【0110】

本発明に係る半導体装置の他の1つによれば、第1領域、第2領域および第3領域を含む、いわゆるバイポーラトランジスタが構成される。第3領域に接続された第1電極部に所定の電圧を印加することによって第2電極部から第2領域および第3領域を経て、第1領域を接続された第3電極部へ向かって電流が流れる

オン状態において、第 1 領域と第 4 領域との界面から第 1 領域の側へ向かって空乏層が延びる。第 4 領域が電流が流れる方向と交差する方向に沿ってその深さが異なっていることで、空乏層の端部の位置も第 4 領域の深さに対応して変化するようになる。これにより、電流は、その流れる方向と交差する方向に沿って形成されたより浅いところに位置する空乏層の端部の直下近傍の第 1 領域を流れることができるようになって、電流の流れを妨げるのを抑制することができる。また、この空乏層によって電界が緩和される。その結果、オン状態において電界緩和の効果を保持しつつ、オン抵抗の上昇を抑制することができる。

## 【 0 1 1 1 】

好ましくは、第 4 領域は一定の電位に固定されていることで、第 4 領域の電位の不安定さが解消されて、第 4 領域と第 1 領域との界面から十分に空乏層を延ばすことができ、電界緩和がより確実に行なわれる。

## 【 0 1 1 2 】

具体的には、第 4 領域は第 1 電極部または第 2 電極部と電氣的に接続されていることで一定の電位に固定される。

## 【 0 1 1 3 】

また好ましくは、第 4 領域は離散的に形成され、各第 4 領域はオン状態では隣合う第 4 領域からそれぞれ延びる空乏層が互いに繋がる距離をもって隔てられていることで、オン状態において隣り合う第 4 領域からそれぞれ延びる空乏層が互いに繋がって電界緩和の効果を保持することができる。しかも、隣接する第 4 領域からそれぞれ延びる空乏層が互いに繋がった部分では、空乏層の端部がより浅いところに位置して、その端部直下近傍の第 1 領域を電流が流れることができ、電流の流れを妨げるのを抑制することができる。

## 【 0 1 1 4 】

具体的に第 4 領域が離散的に形成される場合には、第 1 領域の不純物濃度を  $N_A$ 、隣接する第 4 領域間の距離を  $W$ 、必要耐圧を  $V$ 、電荷量を  $q$ 、真空の誘電率を  $\varepsilon$ 、シリコンの比誘電率を  $\varepsilon'$  とし、不純物濃度  $N_A$  は不純物濃度  $N_D$  よりも十分に大きく実質的に無限大とすると、次の式

$$V > q N_D W^2 / (8 \varepsilon \varepsilon')$$

$$W < 2 \cdot (2 V \varepsilon \varepsilon' / (q N_D))^{(1/2)}$$

を満たしていることが望ましい。

【図面の簡単な説明】

【図 1】 本発明の実施の形態 1 に係る半導体装置の断面斜視図である。

【図 2】 同実施の形態において、オン状態における電流の流れを示す断面斜視図である。

【図 3】 同実施の形態において、図 1 に示す断面線 I I I - I I I における部分拡大断面図である。

【図 4】 同実施の形態において、P 型拡散領域の他の平面パターンを示す図である。

【図 5】 同実施の形態における半導体装置の製造方法の 1 工程を示す断面図である。

【図 6】 同実施の形態において、図 5 に示す工程の後に行なわれる工程を示す断面図である。

【図 7】 同実施の形態において、図 6 に示す工程の後に行なわれる工程を示す断面図である。

【図 8】 同実施の形態において、図 7 に示す工程の後に行なわれる工程を示す断面図である。

【図 9】 同実施の形態において、図 8 に示す工程の後に行なわれる工程を示す断面図である。

【図 1 0】 同実施の形態において、図 9 に示す工程の後に行なわれる工程を示す断面図である。

【図 1 1】 同実施の形態において、図 1 0 に示す工程の後に行なわれる工程を示す断面図である。

【図 1 2】 同実施の形態において、図 1 1 に示す工程の後に行なわれる工程を示す断面図である。

【図 1 3】 同実施の形態において、図 1 2 に示す工程の後に行なわれる工程を示す断面図である。

【図 1 4】 本発明の実施の形態 2 に係る半導体装置の断面斜視図である。

【図 1 5】 同実施の形態において、図 1 4 に示す断面線 X X V - X X V における部分拡大断面図である。

【図 1 6】 同実施の形態における半導体装置の製造方法の 1 工程を示す断面図である。

【図 1 7】 本発明の実施の形態 3 に係る半導体装置の断面斜視図である。

【図 1 8】 同実施の形態における半導体装置の製造方法の 1 工程を示す断面図である。

【図 1 9】 同実施の形態において、図 1 8 に示す工程の後に行なわれる工程を示す断面図である。

【図 2 0】 同実施の形態において、図 1 9 に示す工程の後に行なわれる工程を示す断面図である。

【図 2 1】 同実施の形態において、図 2 0 に示す工程の後に行なわれる工程を示す断面図である。

【図 2 2】 本発明の実施の形態 4 に係る半導体装置の断面斜視図である。

【図 2 3】 同実施の形態において、図 2 2 に示す半導体装置の P 型拡散領域周辺の部分拡大断面斜視図である。

【図 2 4】 本発明の実施の形態 5 に係る半導体装置の断面斜視図である。

【図 2 5】 同実施の形態において、図 2 4 に示す半導体装置の P 型拡散領域周辺の部分拡大断面斜視図である。

【図 2 6】 本発明の実施の形態 6 に係る半導体装置の断面斜視図である。

【図 2 7】 同実施の形態において、図 2 6 に示す半導体装置の P 型拡散領域周辺の部分拡大断面斜視図である。

【図 2 8】 本発明の実施の形態 7 に係る半導体装置の断面斜視図である。

【図 2 9】 本発明の実施の形態 8 に係る半導体装置の断面斜視図である。

【図 3 0】 本発明の実施の形態 9 に係る半導体装置の断面斜視図である。

【図 3 1】 従来の半導体装置の断面斜視図である。

【図 3 2】 図 3 1 に示す半導体装置の動作を説明するための断面斜視図である。

【図 3 3】 従来の半導体装置におけるドレイン電流とドレイン電圧との関

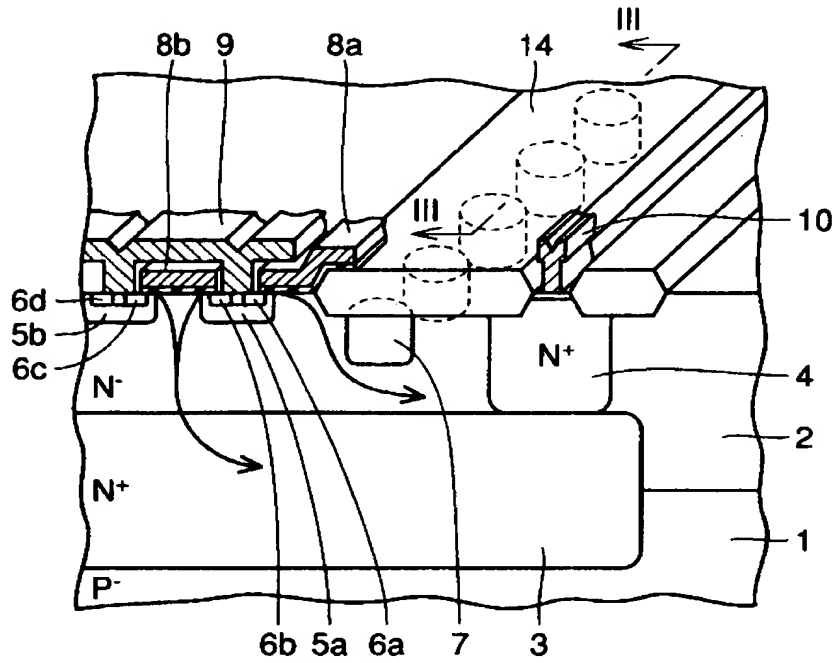
係を示すグラフであり、(a)はP型拡散領域がない場合における関係を示し、  
(b)はP型拡散領域が形成された場合の関係を示す図である。

【符号の説明】

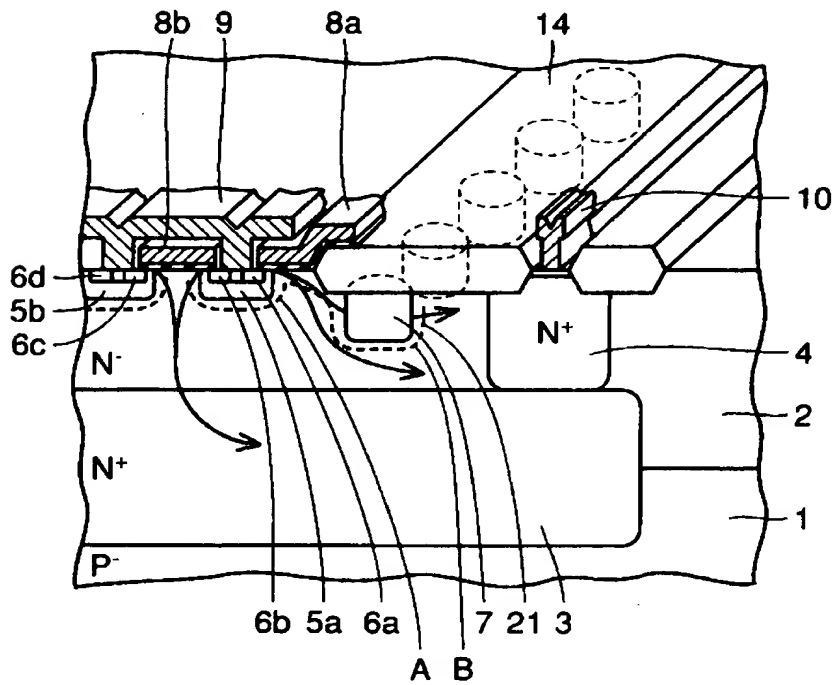
1 p型シリコン基板、2 N-型エピタキシャル層、3 N+型埋込み拡散領域、4 N+型拡散層、5 a～5 c P型拡散領域、6 a～6 d N+型拡散領域、7 P型拡散領域、7 a～7 c p型領域、8 a～8 e ゲート電極部、9 ソース電極、10 ドレイン電極、11 エミッタ電極、12 ベース電極、13 コレクタ電極、14 フィールド分離膜、15 コンタクトホール、16～18 コンタクト溝、19 p+型領域、20 シリコン酸化膜、21 空乏層端、22 原料経路、23、24 p+型領域、51 下敷き酸化膜、52 シリコン窒化膜、53、55、60、61、62、64、70、71 フォトレジスト、54 nウェル、54 a n型領域、56 アイランド酸化膜、57 pウェル、57 a p型領域、7 a p型領域、58 ゲート酸化膜、59 ポリシリコンゲート電極、63 a、63 b N+ソース・ドレイン領域、65 a、65 b P+ソース・ドレイン領域、66 a～67 b ソース・ドレイン電極、68 熱酸化膜、69 シリコン窒化膜。

【書類名】 図面

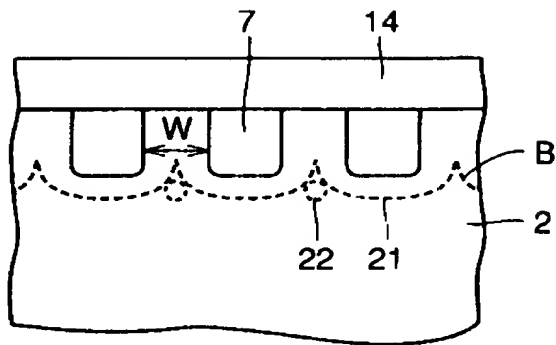
【図 1】



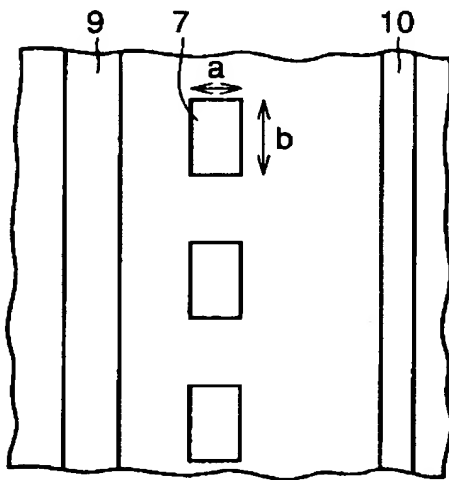
【図 2】



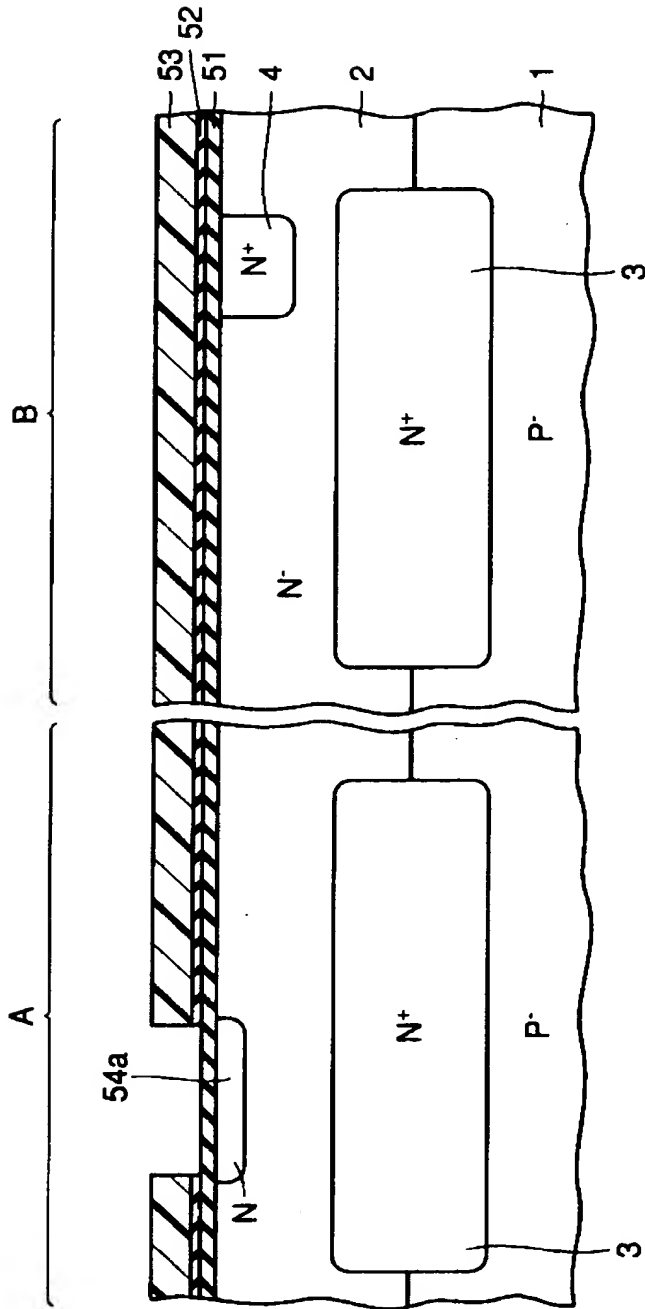
【図 3】



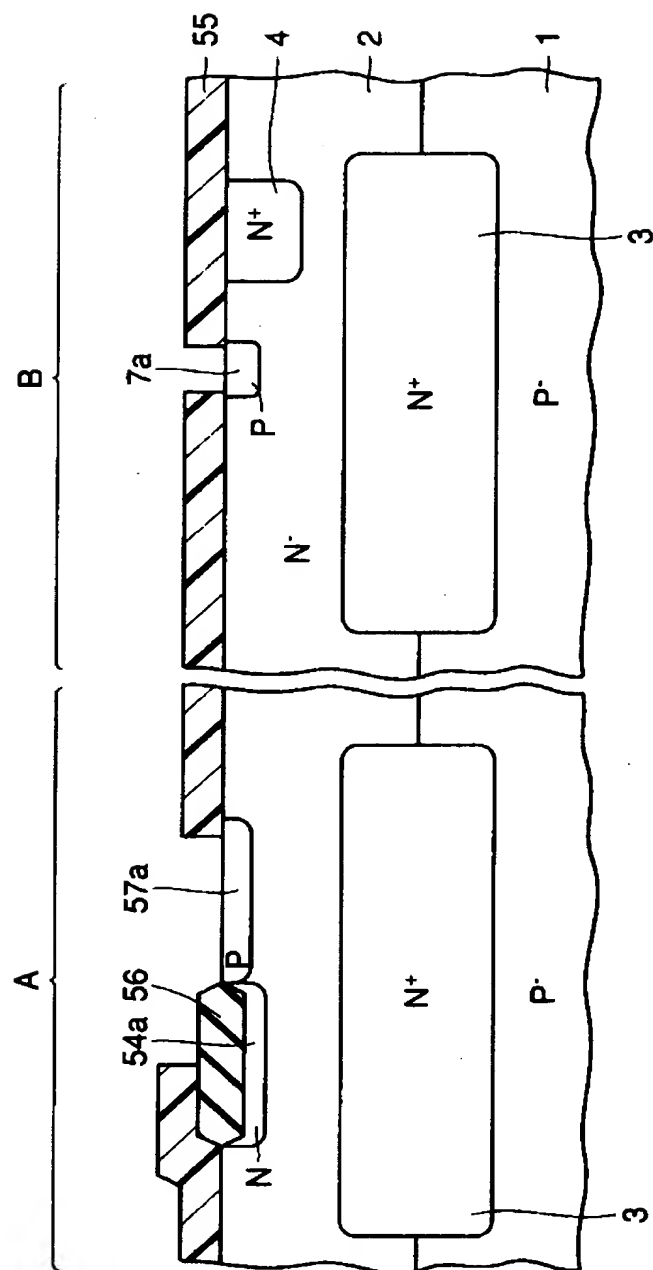
【図 4】



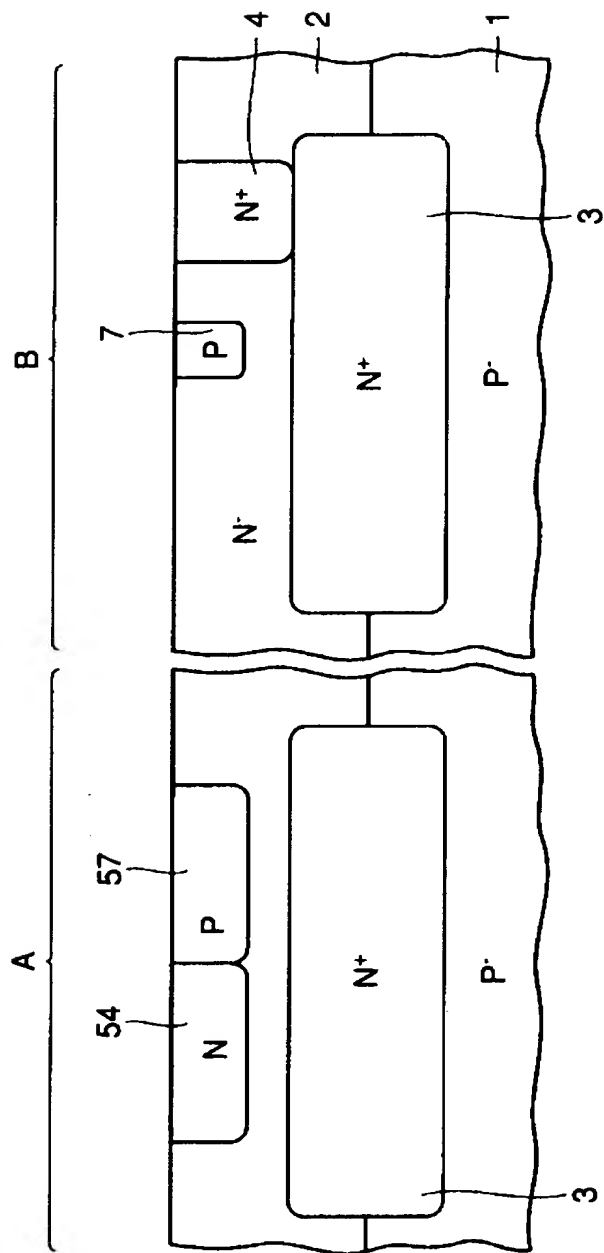
【図 5】



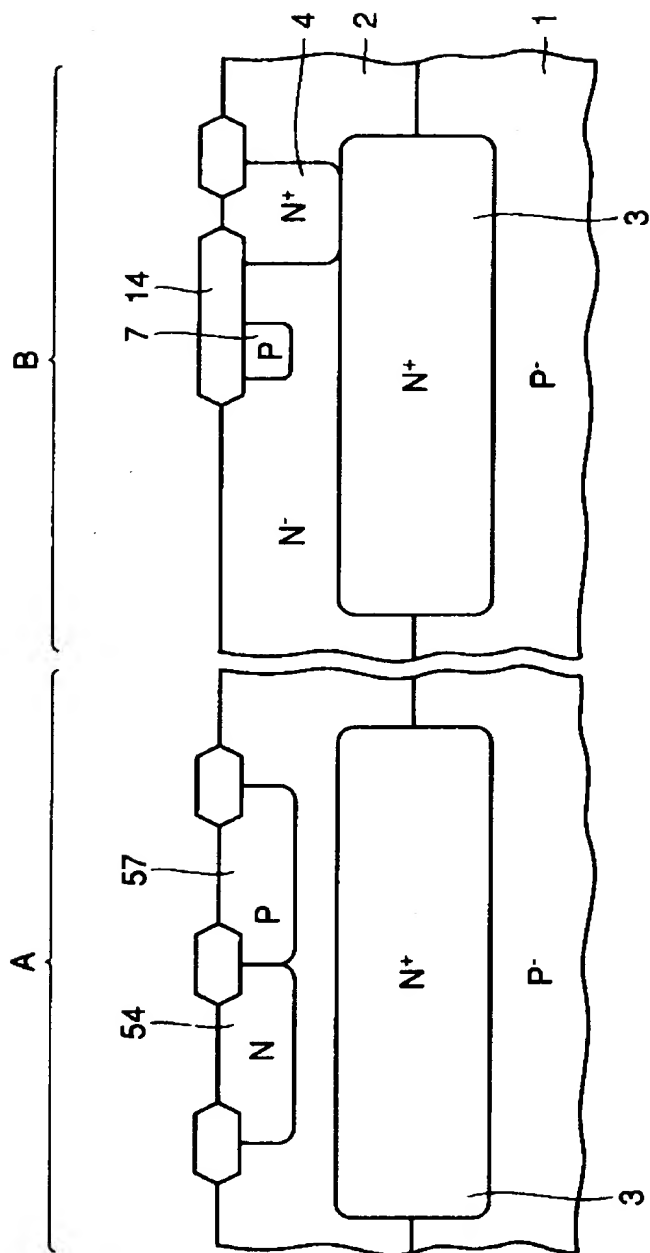
【図 6】.



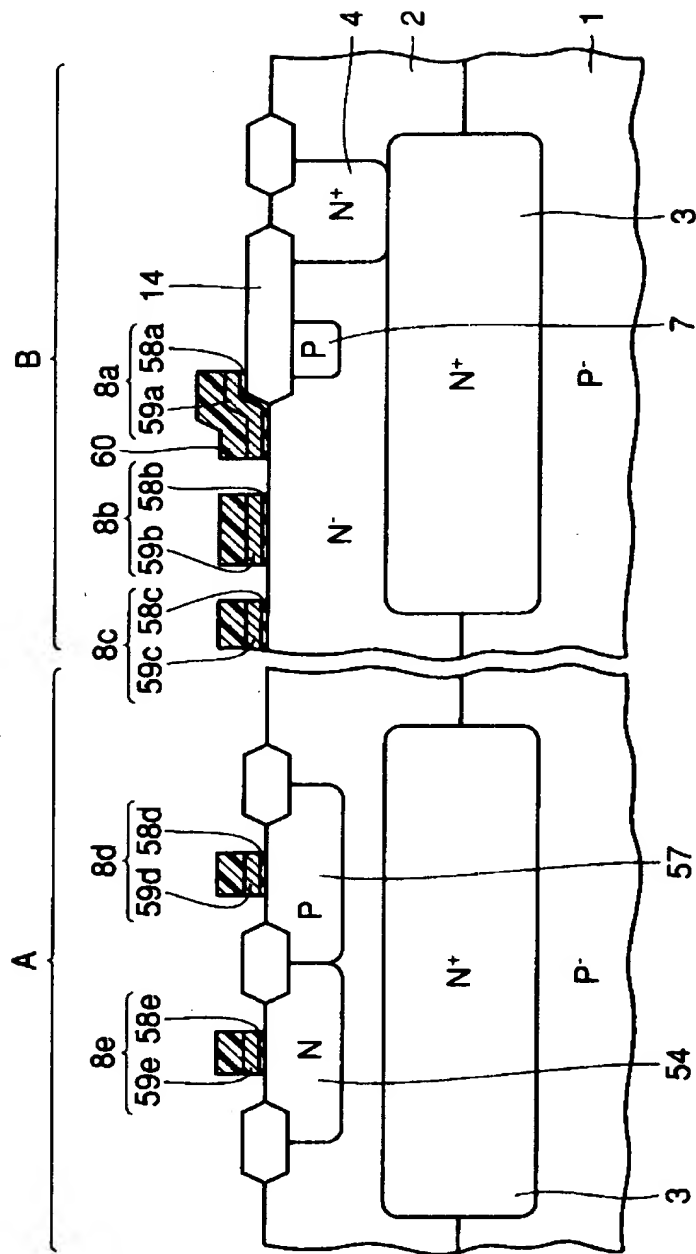
【図 7】



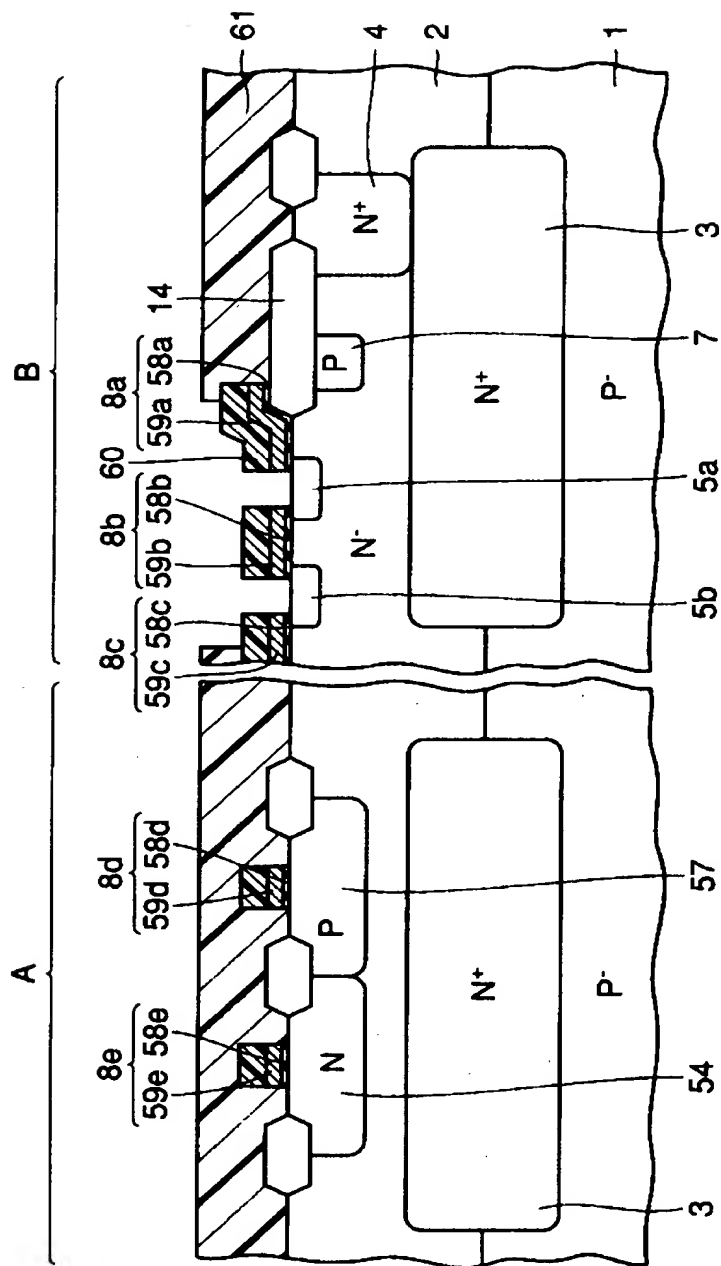
【図 8】



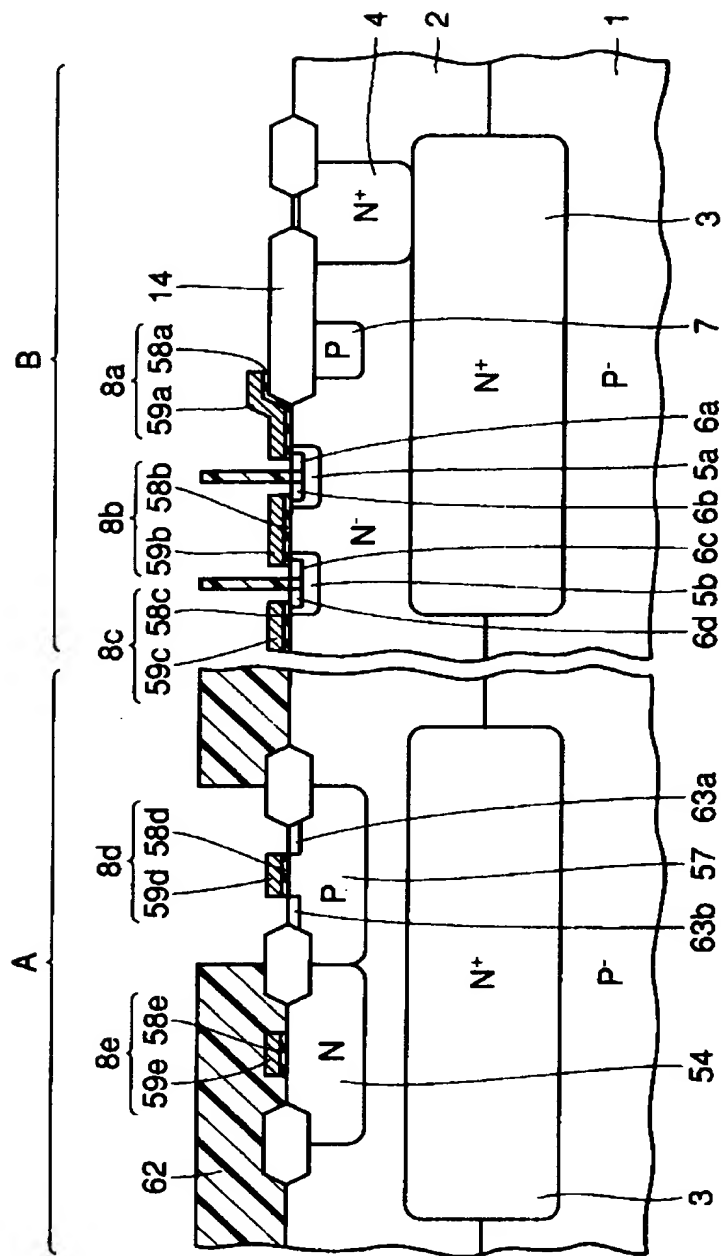
【図9】



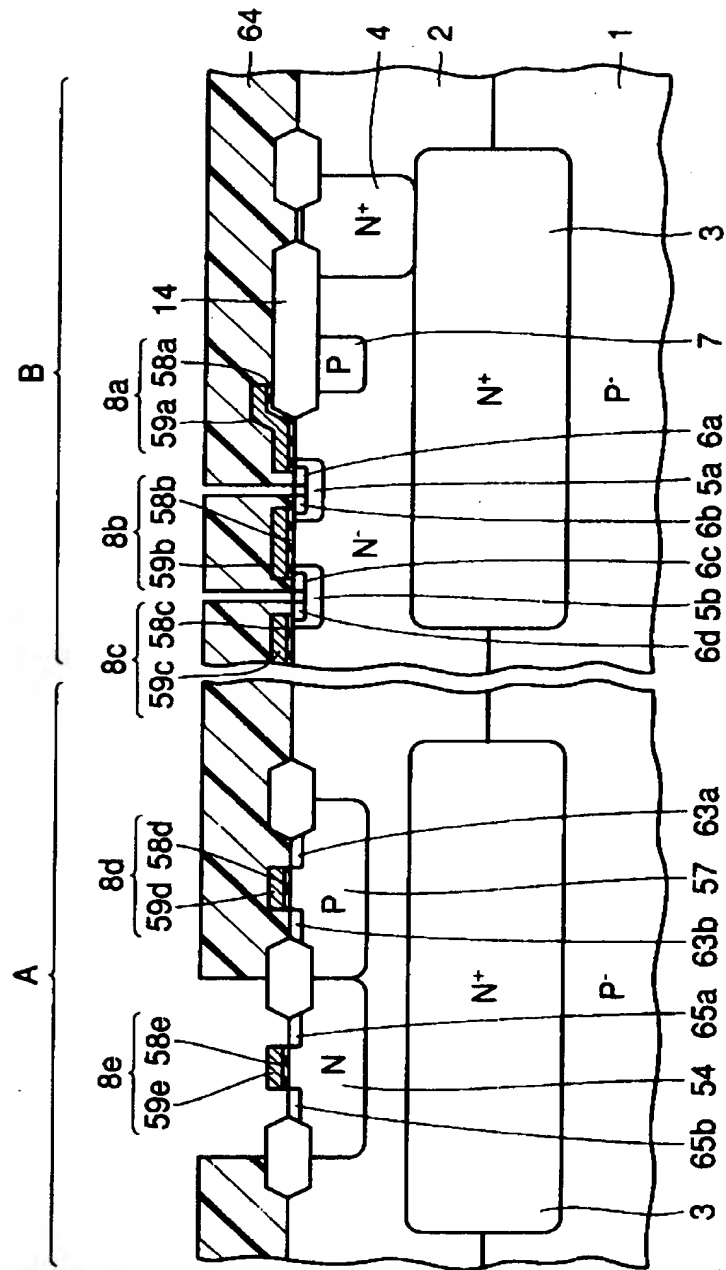
【図 1 0】



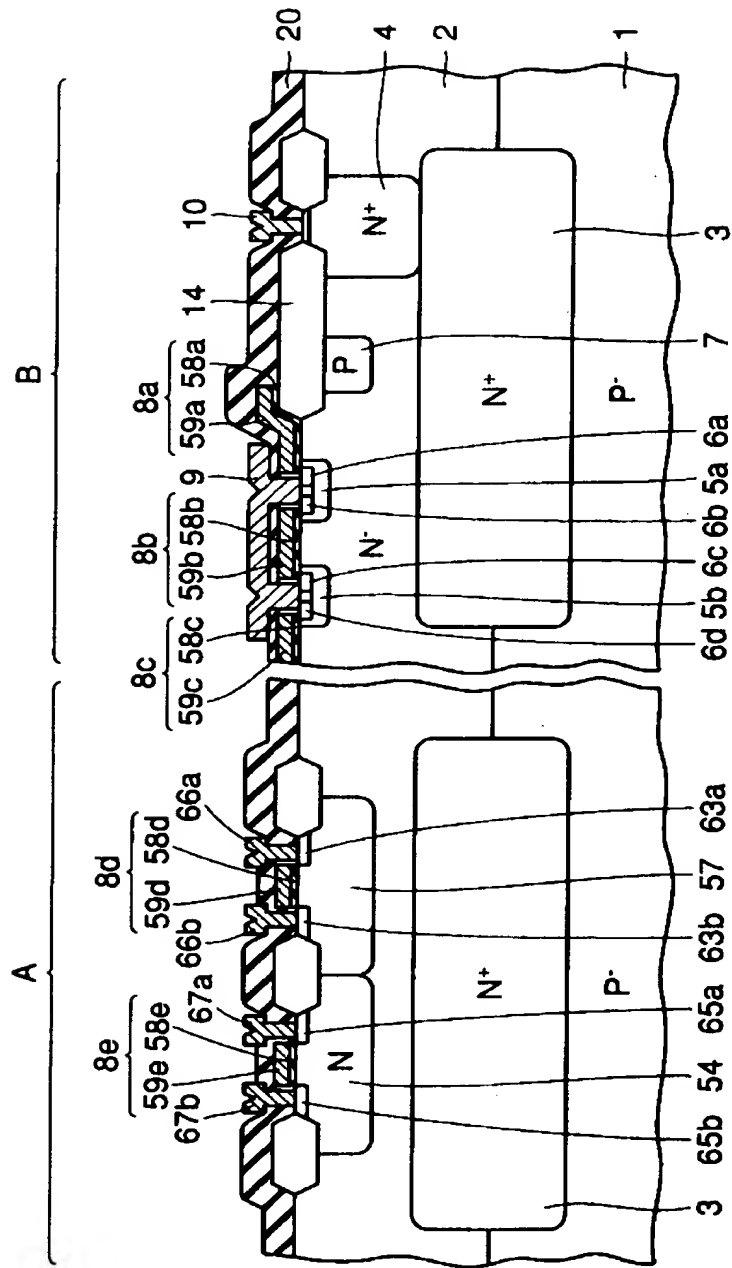
【図 11】



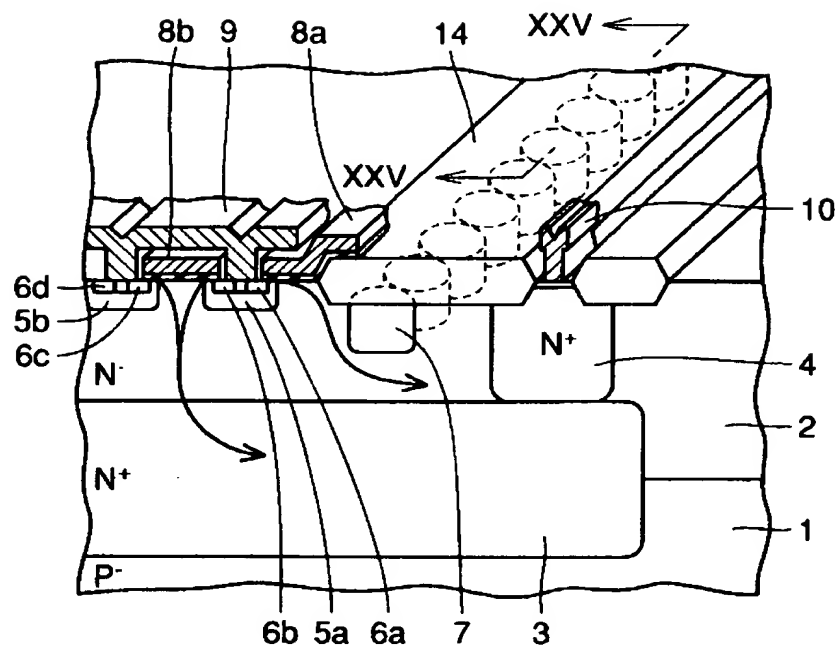
【図 1 2】



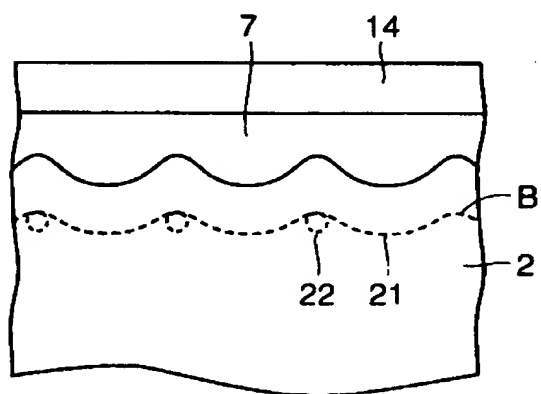
【図 13】



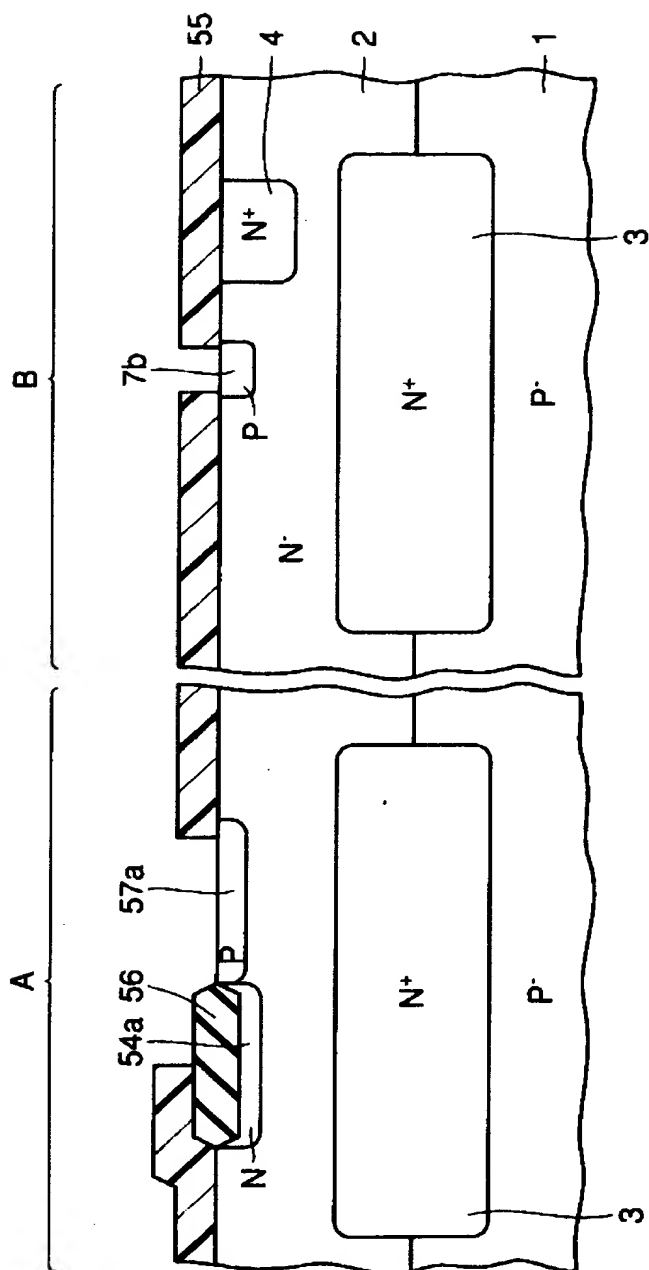
【图 14】



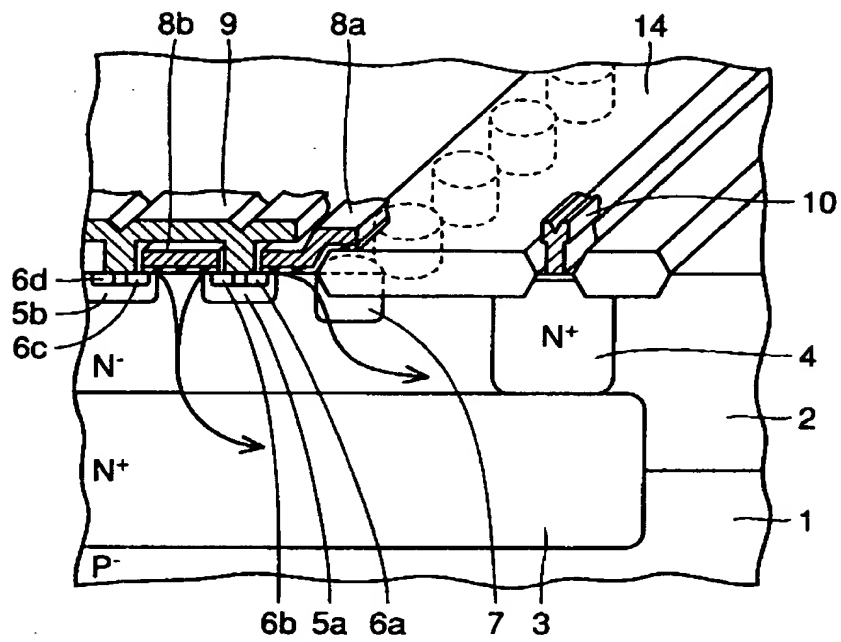
【図 15】



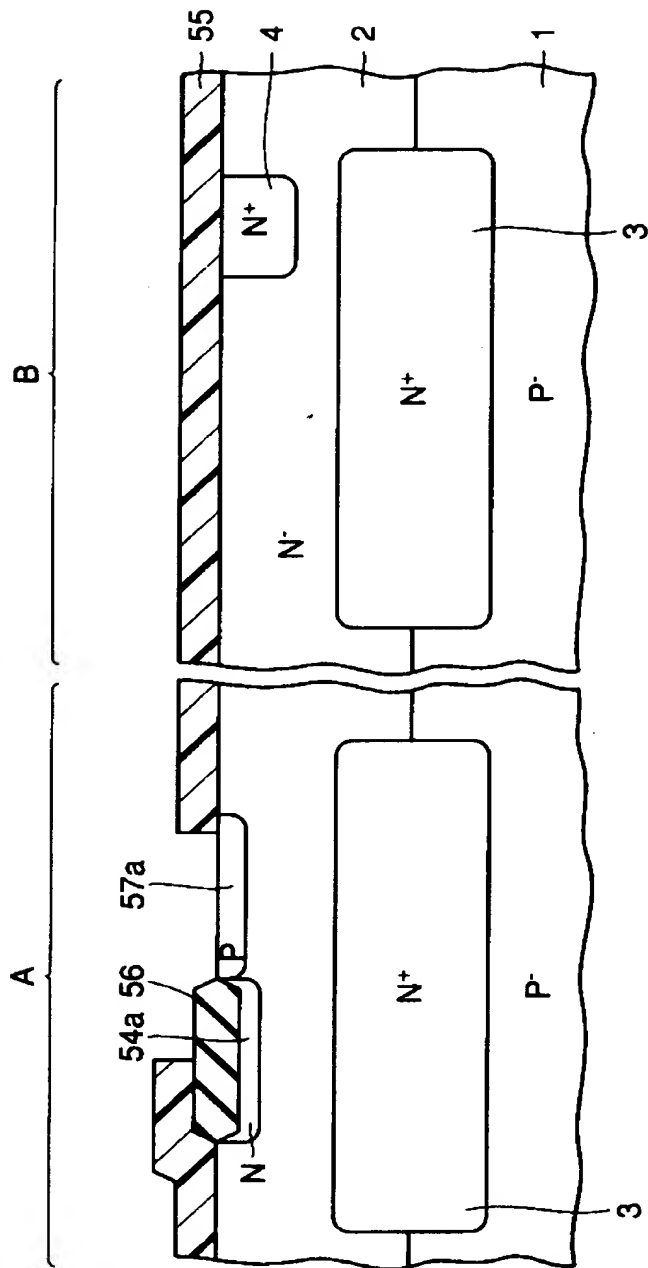
【図 16】



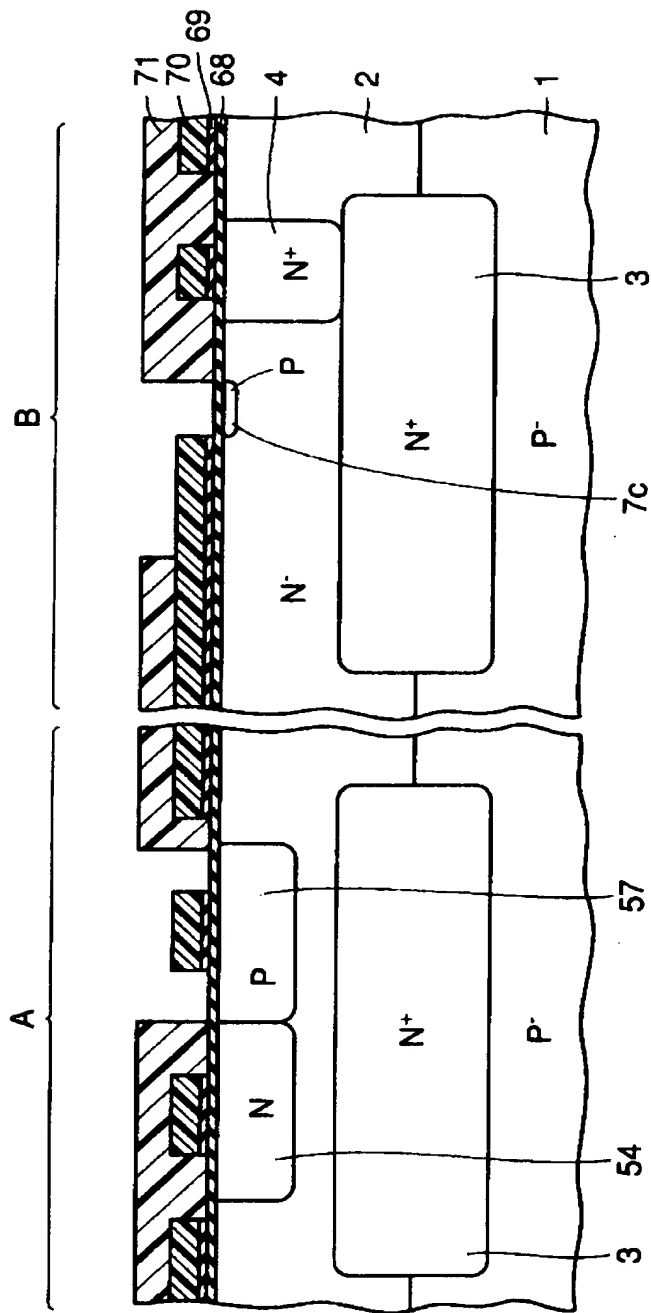
【図 17】



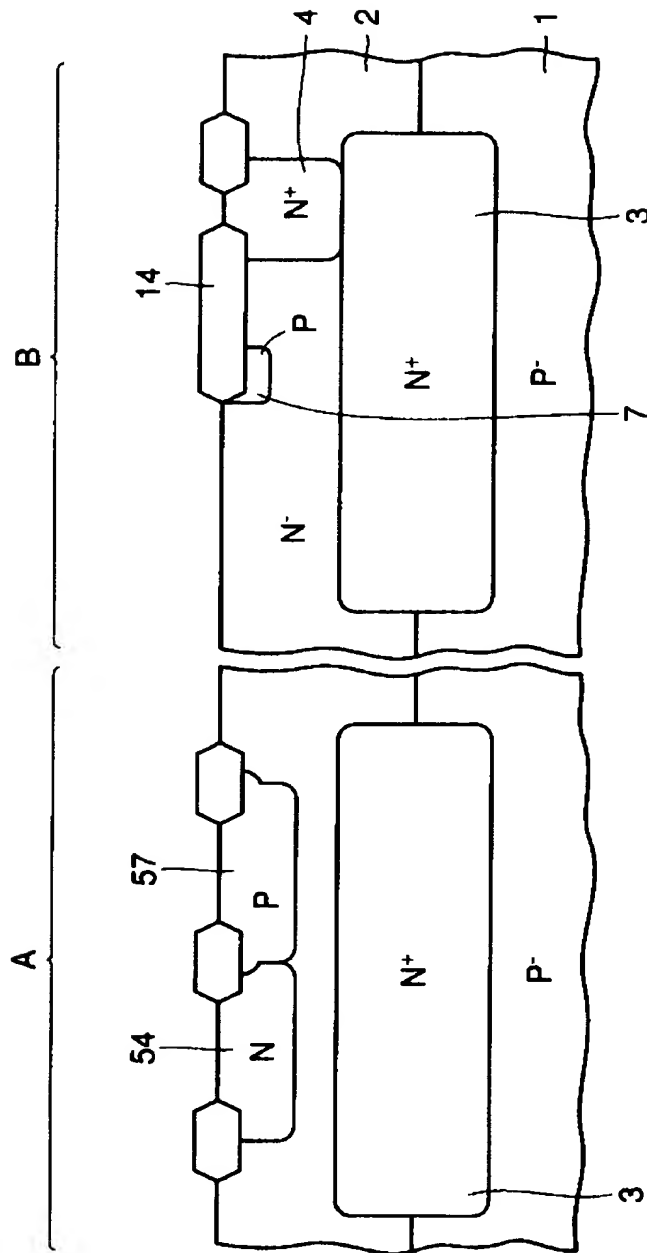
【図 18】



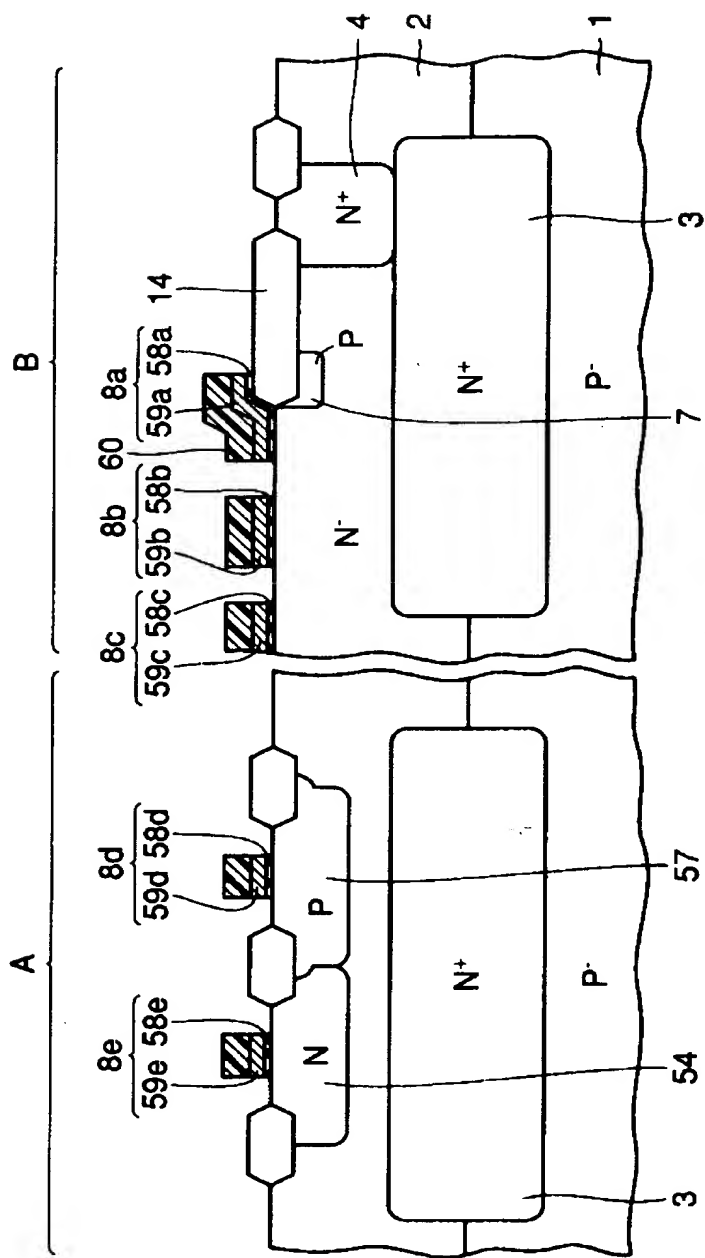
【図 19】



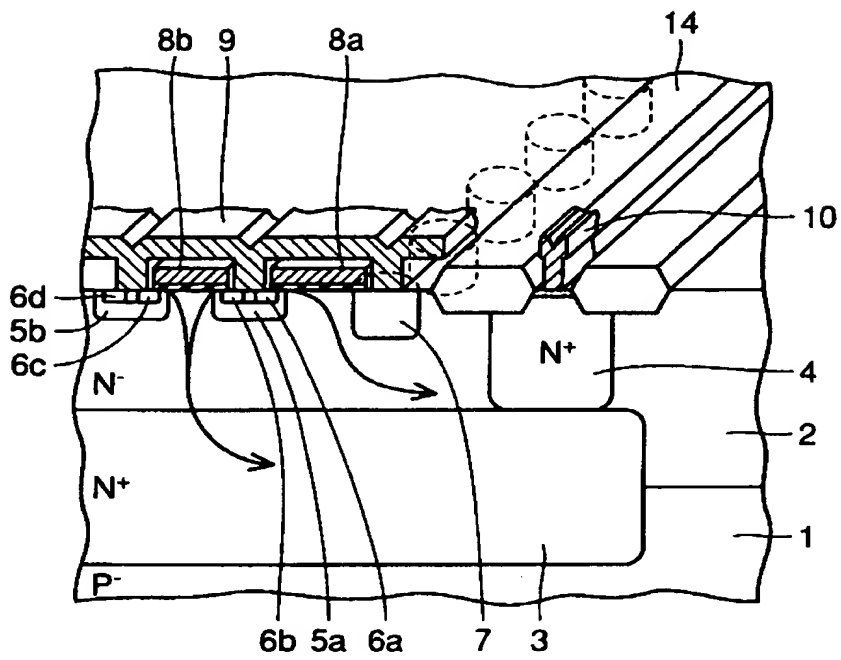
【図 20】



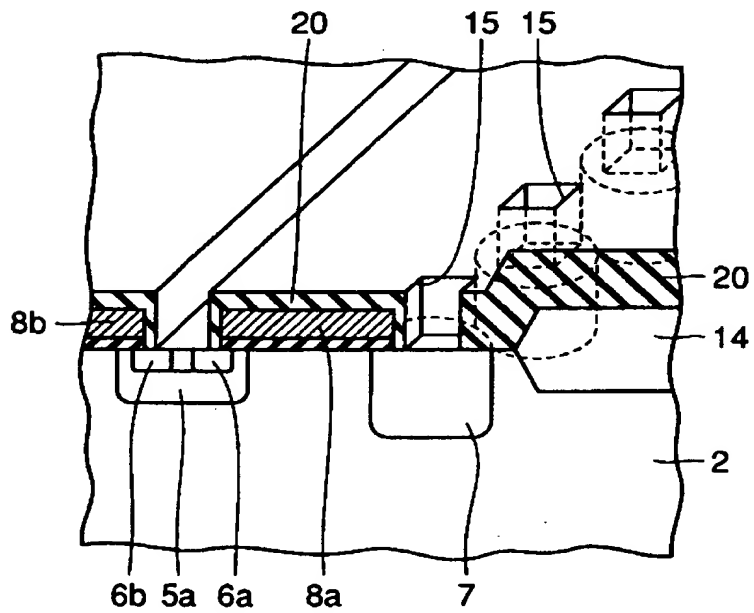
【図 2 1】



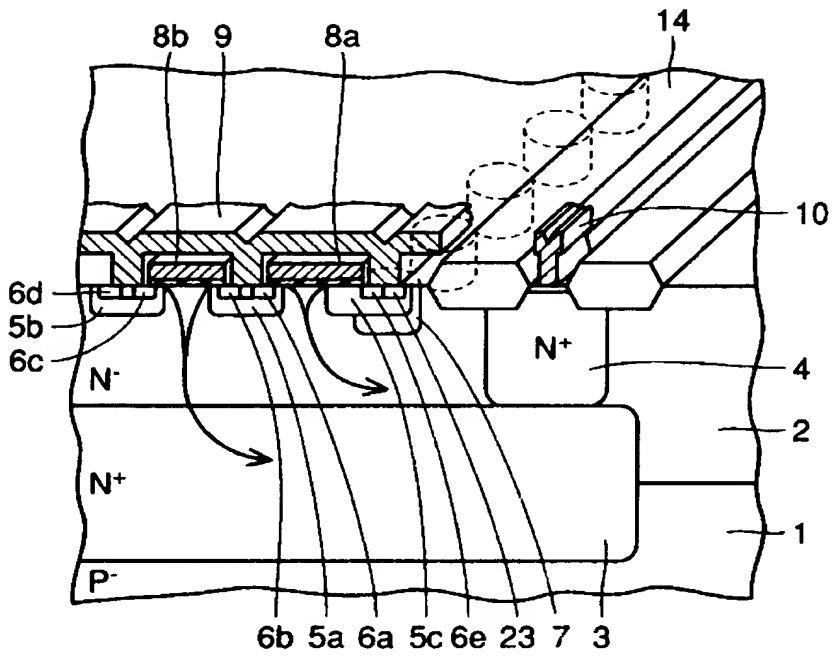
【図 2 2】



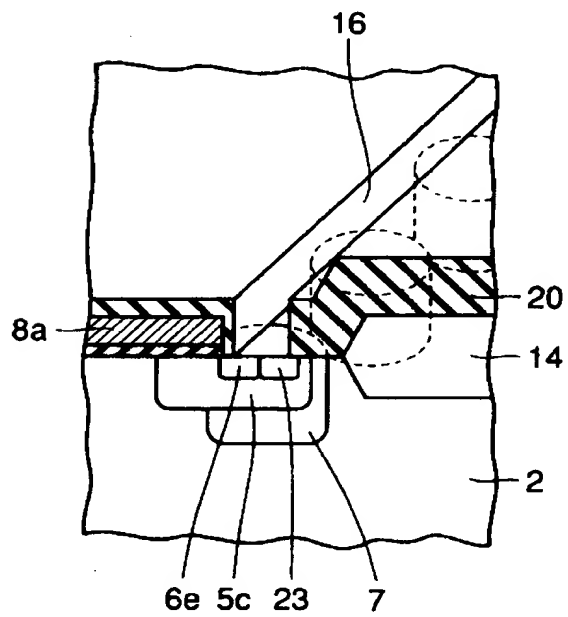
【図 2 3】



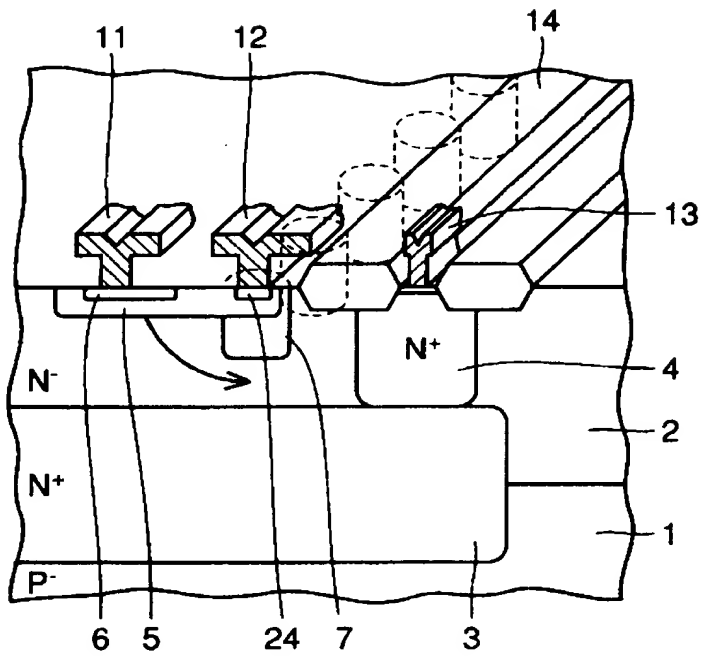
【図 24】



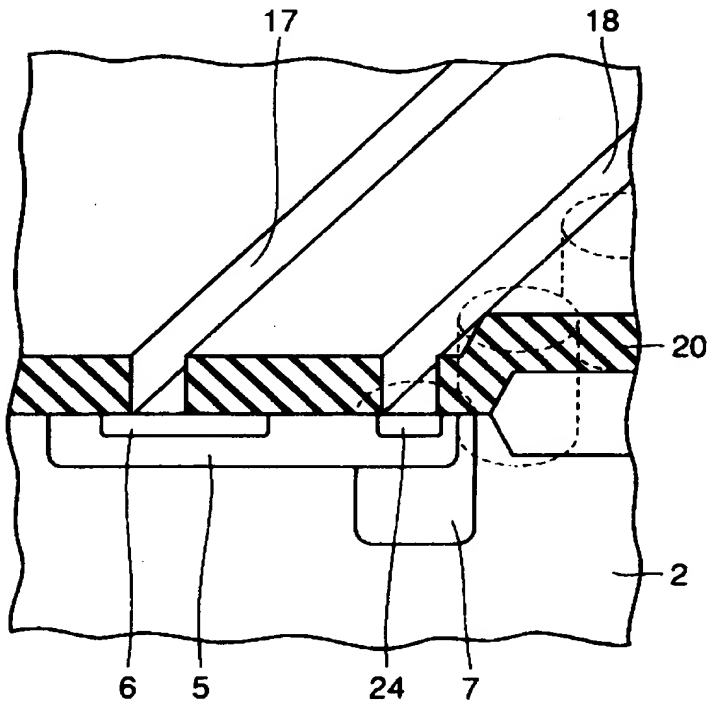
【图 25】



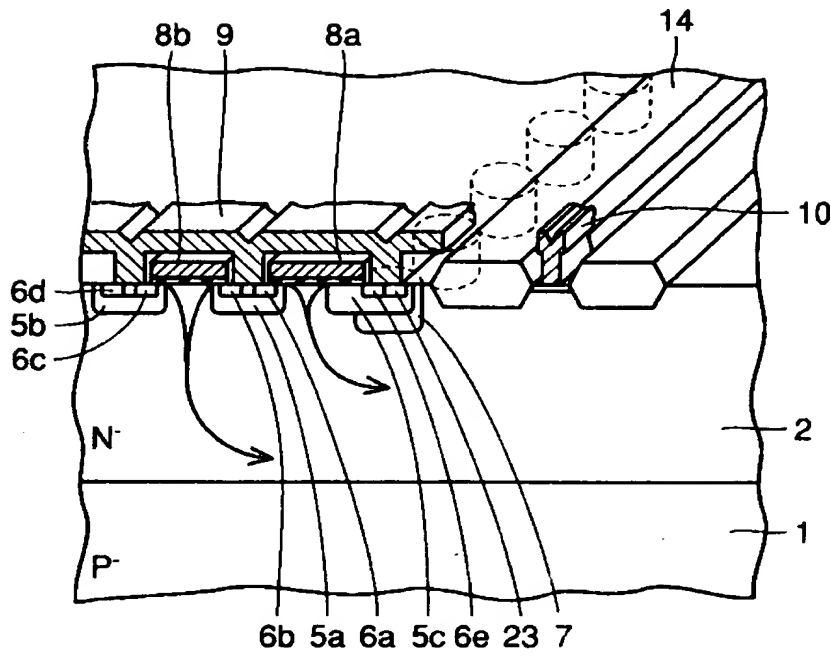
【図 2 6】



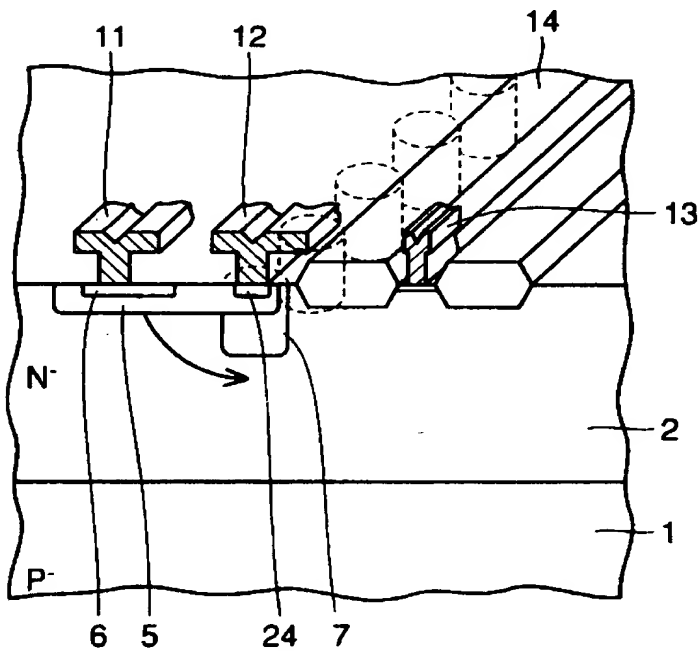
【図 2 7】



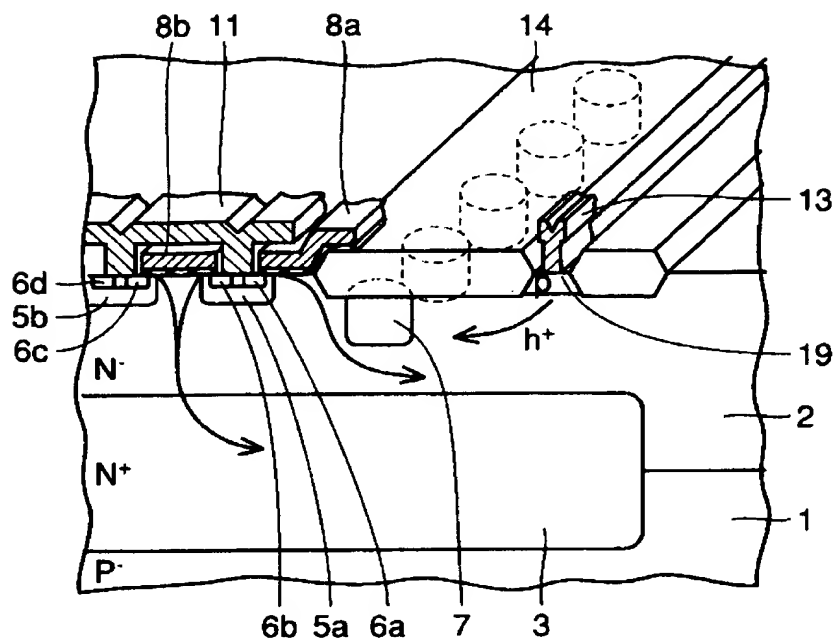
【図 2 8】



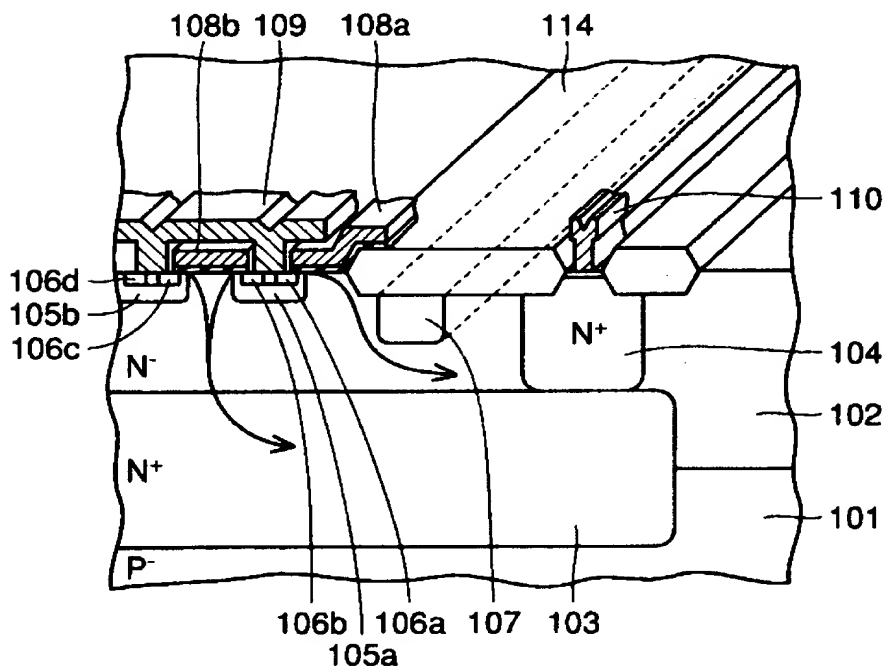
【図 2 9】



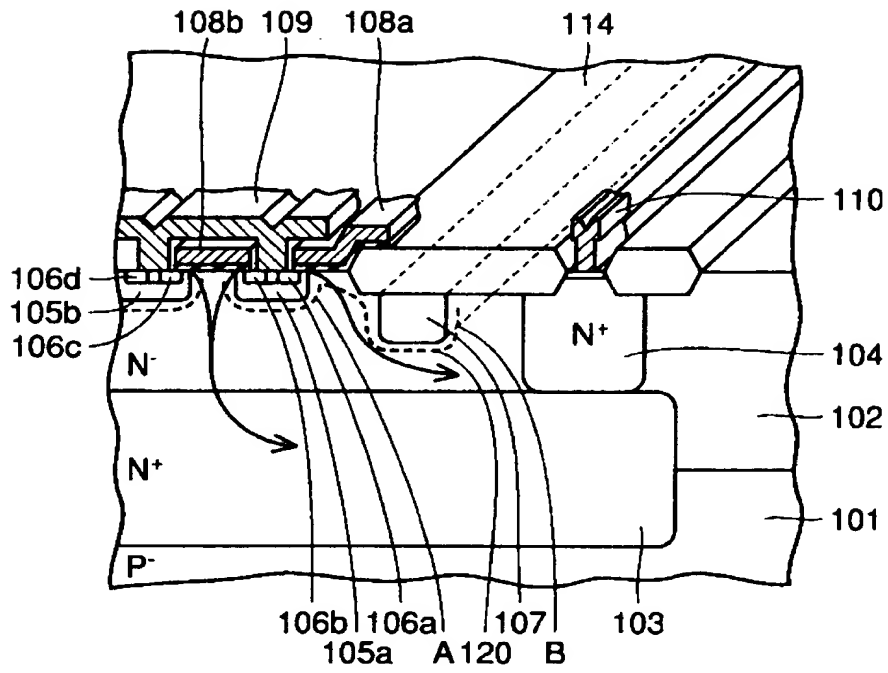
【図 3 0】



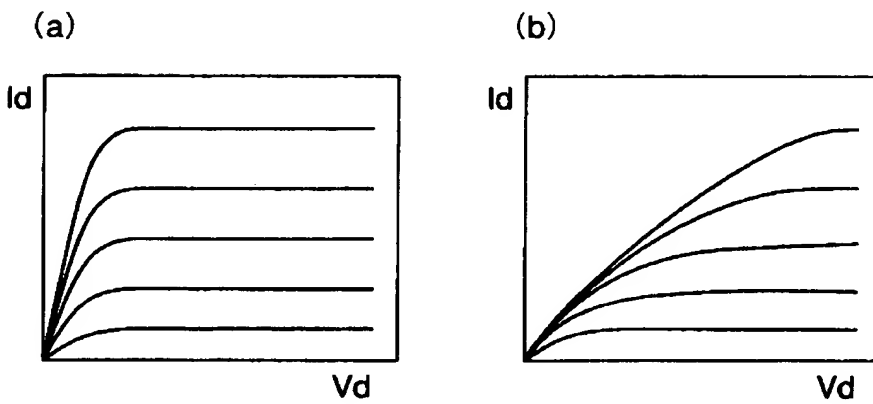
【図 3 1】



【図 3 2】



【図 3 3】



【書類名】 要約書

【要約】

【課題】 電界緩和の効果を保持しつつ、オン状態におけるオン抵抗の上昇が抑制される半導体装置を提供する。

【解決手段】 p型シリコン基板1上のN-型エピタキシャル層2の表面およびその近傍にN+型拡散領域6a～6dおよびP型拡散領域5a等が形成されている。N+型拡散領域6a、6bとN-型エピタキシャル層2との間に位置するP型拡散領域5a上にゲート絶縁膜を介在させてゲート電極部8a、8bがそれぞれ形成されている。ソース電極9およびドレイン電極10がそれぞれ形成されている。フィールド分離膜14の下に、オン状態において電流が流れる方向と交差する方向に沿って離散的にP型拡散領域7が形成されている。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日  
[変更理由] 新規登録  
住 所 東京都千代田区丸の内2丁目2番3号  
氏 名 三菱電機株式会社